

一种模块化多电平换流器动态组合实时仿真模型

沈卓轩^{1,2}, 郭琦^{2,3}, 姜齐荣¹, 郭海平^{2,3}, 张树卿¹, 于思奇¹, 李笑倩¹

- (1. 电力系统及发电设备控制和仿真国家重点实验室, 清华大学, 北京 100084;
2. 直流输电技术国家重点实验室, 南方电网科学研究院有限责任公司, 广东 广州 510663;
3. 广东省新能源电力系统智能运行与控制企业重点实验室, 广东 广州 510663)

摘要:模块化多电平换流器(MMC)具有低谐波、低开关损耗、模块化等优点,已在国内外多个柔性直流输电工程中投入运行。数字实时仿真可对 MMC 控制与保护装置进行硬件在环测试,对保障交直流系统安全稳定运行具有重要意义。因具有高度并行计算能力,现场可编程逻辑门阵列(FPGA)常在实时仿真器中用于 MMC 模型计算。随着交直流仿真系统中 MMC 数量的增加,FPGA 逻辑计算资源的消耗也成倍增长。在单个仿真计算步长内,元件模型计算与系统电路矩阵计算为顺序执行关系,因此 MMC 计算单元在周期性运算中存在闲置时间。文章提出了基于桥臂等效电路模型与桥臂平均值模型的动态组合实时仿真模型,FPGA 中的 MMC 计算单元可以在元件模型计算与矩阵求解阶段中复用,实现 MMC 逻辑资源的优化利用,大幅降低仿真硬件成本。文章在 PSCAD/EMTDC 离线仿真环境验证了算法的准确性,并在包含 FPGA 的多核片上系统中实现了三端柔性直流输电系统实时仿真。

关键词:模块化多电平换流器;可编程逻辑门阵列;电磁暂态;数字实时仿真

DOI: 10.12067/ATEEE2006028 **文章编号:** 1003-3076(2020)10-0001-09 **中图分类号:** TM74

1 引言

基于模块化多电平换流器(Modular Multi-level Converter, MMC)的柔性直流输电系统因具有低谐波含量、低开关频率、模块化等优点^[1-4],已在国内外多个高压直流工程中应用。数字实时仿真在控保护装置硬件在环测试、电磁暂态现象研究、人员培训等领域有广泛应用,对保障柔性直流输电系统安全可靠运行具有重要意义。电磁暂态仿真本质上是一种时域电路计算^[5-7],实时仿真则要求仿真计算在实际对应的物理时间内完成^[8-10]。

MMC 每个桥臂可包含数百个由 IGBT 模块与电容器构成的子模块。采用分立元件对换流器建模时电路中存在大量电气节点,运算负荷极高,因此研究人员提出了多种 MMC 简化模型,通过电路等效、子网解耦等方式减少电气节点数。文献[11]提出利用戴维南等效方法对 MMC 子模块进行简化,并将

每个桥臂中串联的等效电压及电阻聚合,用以消除桥臂子模块内及子模块间的电气节点。文献[12]和文献[13]分别提出了替代电路法和等效电路法,这两种方法都对子模块模型进一步简化,通过分析子模块有限的运行状态建立不同状态下的等效电路,以避免较复杂的戴维南等效电路计算。替代电路法与等效电路法已分别应用于 RTDS 与 RT-LAB 实时仿真器中。此外还可以通过可控电压源与可控电流源^[14]、传输线模型^[15]使不同子模块间解耦,该类算法在计算子模块时计算量仍较大,通常不适用于高电平数的 MMC 实时仿真应用。

桥臂平均值模型也可用于 MMC 建模,平均值模型计算速度快,在系统暂态研究中准确性较高^[16-18]。然而平均值模型假设桥臂中所有子模块电容电压相等,因此不能用于完整的 MMC 阀级控制验证。

现场可编程逻辑门阵列(Field Programable Gate

收稿日期: 2020-06-15

基金项目: 直流输电技术国家重点实验室(南方电网科学研究院有限责任公司)开放基金项目(SKLHVDC-2019-KF-17)

作者简介: 沈卓轩(1991-),男,江苏籍,博士后,研究方向为电力系统电磁暂态实时仿真;
姜齐荣(1968-),男,北京籍,教授,博士,研究方向为电力系统分析与控制(通讯作者)。

Array, FPGA) 因具有极高的计算并行度, 常用于高电平数 MMC 系统实时仿真计算。然而随着交直流系统中 MMC 数量的增加, FPGA 逻辑计算资源及硬件成本也会随之成倍增长。

电磁暂态算法在每个步长下的计算主要由电气元件计算与系统矩阵计算两部分构成, 且这两个组成部分需顺序执行。MMC 模型计算属于电气元件计算部分, 在 FPGA 中占据大量逻辑计算资源, 当仿真计算执行到系统矩阵计算部分时, FPGA 中的 MMC 计算模块处于闲置状态。本文提出了桥臂等效电路模型与桥臂平均值模型动态组合算法, 在处理多个 MMC 模型时, 对部分 MMC 仍直接采用等效电路模型, 对其余 MMC 先采用平均值算法计算桥臂模型, 在系统进行矩阵计算时, 采用等效电路模型对所有子模块进行准确计算并对平均值模型状态量进行校正。该方法可有效利用 MMC 计算模块闲置时间, 在实现对系统中所有 MMC 子模块的详细准确计算的同时显著减少了 FPGA 的逻辑资源需求。

文章首先介绍了基于桥臂等效电路模型与平均值模型的动态组合实时仿真模型, 并在 PSCAD/EMTDC 离线仿真中验证了模型的准确性。基于包含 FPGA 的多核片上系统 (Multi-Processor System-on-Chip, MPSoC), 运用动态组合模型实现了三端柔性直流输电系统的实时仿真。本文提出的算法在保障 MMC 完整阀级验证功能与较高准确性的前提下, 可大幅降低仿真硬件成本或提升大规模交直流系统实时仿真能力。

2 MMC 等效电路模型与平均值模型

2.1 MMC 结构

MMC 与半桥子模块电路示意图如图 1 所示, MMC 由 6 个桥臂构成, 每个桥臂串联 n 个子模块与一个桥臂电感 L_m 。图 1 展示了半桥子模块的拓扑结构, 由两个 IGBT 二极管反并联模块及一个电容器构成。通过控制 IGBT 栅极信号 s_1 与 s_2 , 改变子模块电容在桥臂电路的接入状态。当子模块电容电压平衡时, 通过控制接入上下桥臂的电容个数, 实现交流侧端口多电平输出, 当电平数达到数百个时, 交流端口输出较理想的正弦波。实时仿真器可用于对系统级控制、阀级控制、保护装置的高效验证。

2.2 戴维南等效模型与等效电路模型

本节介绍在 MMC 离线与实时仿真中常用的戴维南等效模型与等效电路模型。半桥子模块电路模

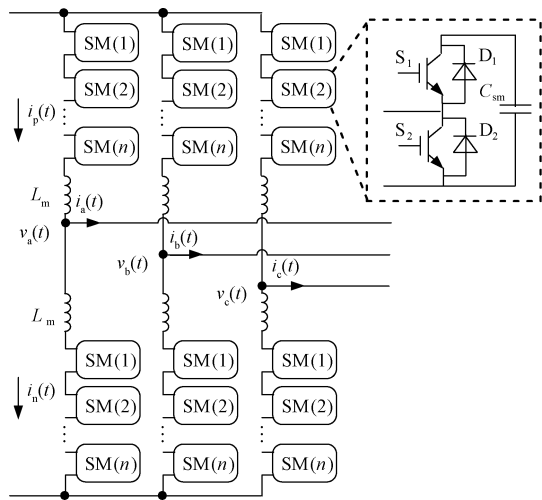


图1 MMC 与半桥子模块电路示意图

Fig.1 Circuit schematic of MMC and the half-bridge sub-module

型如图 2(a) 所示, IGBT 模块可等效为可变电阻 r_1 , r_2 , 大阻值 r_{off} 代表器件关断状态, 小阻值 r_{on} 代表器件导通状态。Dommel 提出的电磁暂态算法采用梯形积分法则计算动态元件子模块电容电压 v_{cap} 为:

$$v_{cap}(t) = R_{cap} i_{cap}(t) + v_{cap}^{Hist}(t - \Delta T) \quad (1)$$

$$R_{cap} = \frac{\Delta T}{2C_{sm}} \quad (2)$$

$$v_{cap}^{Hist}(t - \Delta T) = 2R_{cap} i_{cap}(t - \Delta T) + v_{cap}^{Hist}(t - 2\Delta T) \quad (3)$$

式中, ΔT 为仿真步长; C_{sm} 为子模块电容值; R_{cap} 为电容等效阻抗; i_{cap} 与 v_{cap}^{Hist} 分别为电容电流与历史电压源。通过戴维南等效, 子模块等效电路可简化为电阻 r_{sm} 与电压源 v_{sm}^{Hist} , 子模块电压 v_{sm} 计算如下:

$$v_{sm}(t) = r_{sm}(t) i_{sm}(t) + v_{sm}^{Hist}(t - \Delta T) \quad (4)$$

$$r_{sm}(t) = r_2 \left(1 - \frac{r_2}{r_1 + r_2 + R_{cap}} \right) \quad (5)$$

$$v_{sm}^{Hist}(t - \Delta T) = \frac{r_2}{r_1 + r_2 + R_{cap}} v_{cap}^{Hist}(t - \Delta T) \quad (6)$$

式中, i_{sm} 为子模块电流。为进一步降低子模块计算量, 可认为 r_{on} 为 0, r_{off} 为无穷大, 在实时仿真中使用的等效电路模型, 计算式如下:

$$r_{sm}(t) = \begin{cases} R_{cap} & \text{电容接入} \\ 0 & \text{电容旁路} \end{cases} \quad (7)$$

$$v_{sm}^{Hist}(t - \Delta T) = \begin{cases} v_{cap}^{Hist}(t - \Delta T) & \text{电容接入} \\ 0 & \text{电容旁路} \end{cases} \quad (8)$$

在实时仿真中为避免因使用可变电阻频繁对系统矩阵进行求逆计算, 采用上一步长的桥臂电流 (即子模块电流) 计算等效阻抗降压, v_{sm} 计算如下:

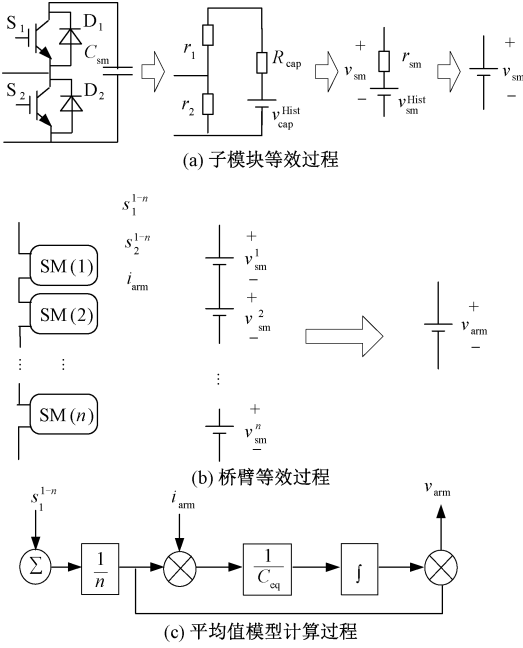


图2 MMC模型示意图

Fig.2 MMC model schematic

$$v_{sm}(t) = r_{sm}(t - \Delta T)i_{sm}(t - \Delta T) + v_{sm}^{Hist}(t - \Delta T) \quad (9)$$

n 个子模块串联构成的桥臂等效电压 v_{arm} 的计算公式为:

$$v_{arm}(t) = \sum_{k=1}^n v_{sm}^k(t) \quad (10)$$

式中,上标 k 为单个桥臂中子模块序号。桥臂等效过程如图 2(b) 所示。采用等效电路模型后,MMC 桥臂模型可仅使用等效电压源表征,不含任何内部节点,系统电路矩阵规模显著减少。桥臂等效电压源求解过程主要包含 n 个子模块电容电压计算与子模块等效电压源求和计算。当 MMC 含有上千个子模块时,该部分计算量很大,为满足实时计算要求,通常在 FPGA 中构建并行计算模块。

2.3 平均值模型

平均值模型常用于系统暂态分析,该模型假设所有子模块电容电压平衡,将 n 个子模块电容等效为一个受开关函数 s_{ave} 控制的等效电容。 s_{ave} 可由调制信号离散化得到,或通过每个子模块中 s_1 信号计算,公式如下:

$$s_{ave}(t) = \frac{1}{n} \sum_{k=1}^n s_1^k(t) \quad (11)$$

子模块正常运行时, s_1 与 s_2 不能同时导通,闭锁时,可通过电流方向判断 s_1 等效开通关断状态。桥臂平均值模型由式 (12)~式 (14) 给出:

$$i_{Ceq}(t - \Delta T) = s_{ave}(t - \Delta T)i_{arm}(t - \Delta T) \quad (12)$$

$$v_{Ceq}(t) = \frac{1}{C_{eq}} \int_{t-\Delta T}^t i_{Ceq}(t) dt$$

$$\approx v_{Ceq}(t - \Delta T) + \frac{\Delta T}{C_{eq}} i_{Ceq}(t - \Delta T) \quad (13)$$

$$C_{eq} = \frac{C_{sm}}{n} \quad (14)$$

式中, i_{arm} 为桥臂电流; C_{eq} 为桥臂等效电容; v_{Ceq} 与 i_{Ceq} 分别为该等效电容的电压与电流。由于 i_{Ceq} 受开关函数影响,为避免在桥臂等效电路模型中引入可变电阻,采用前向欧拉法计算 v_{Ceq} 。桥臂等效电压如下:

$$v_{arm}(t) = s_{ave}(t)v_{Ceq}(t) \quad (15)$$

平均值模型计算框图如图 2(c) 所示。计算平均值模型时,每个桥臂仅需计算一个等效电容电压,因此计算量很小。

3 MMC 动态组合实时仿真模型

电磁暂态实时仿真在每个步长循环中主要包括元件模型计算与系统电路矩阵计算这两个阶段。元件模型计算主要包含电源计算、元件历史量计算等,在生成电流向量 I 后,进行系统矩阵求解。MMC 等效电路模型计算在元件模型计算阶段执行。在商用实时仿真器中采用 FPGA 进行该 MMC 等效电路模型计算。其他电路元件及矩阵计算,依据其并行度可选择在 CPU 或 FPGA 中完成,商业仿真器通常在多核 CPU 中运算。

MMC 等效电路模型计算模块在 FPGA 中固化,即在一次仿真运行中该部分逻辑计算资源只能用于 MMC 等效电路模型计算,而不能用于其他元件或矩阵计算。在柔性直流输电系统中存在多个 MMC 时,必须通过增加 FPGA 板卡数量或使用逻辑资源更大的板卡以扩充计算资源,计算硬件成本均成倍增加,硬件结构如图 3(a) 所示。尽管可以通过对 MMC 计算模块复用,顺序计算多个 MMC,但该方式会成倍增加计算时间,影响仿真器实时性能。

本文提出一种动态组合实时仿真模型,结合了桥臂等效电路模型与桥臂平均值模型。当系统中存在多个 MMC 时,对其中 k_1 个 MMC 采用传统等效电路模型,并由 FPGA 实现高度并行化运算, k_2 个 MMC 则采用本文提出的动态组合模型动态组合模型的硬件结构示意图如图 3(b) 所示,模型计算流程如图 4 所示。

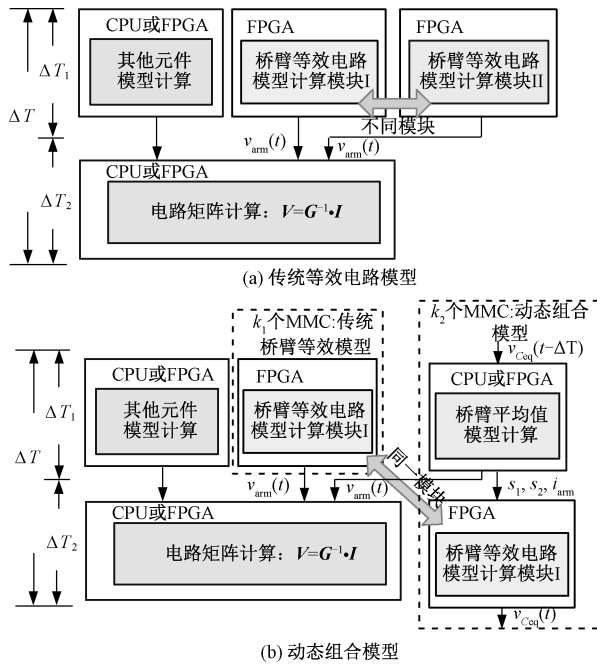


图3 MMC 电路实时仿真硬件结构示意图

Fig.3 Hardware schematic for MMC real-time simulation

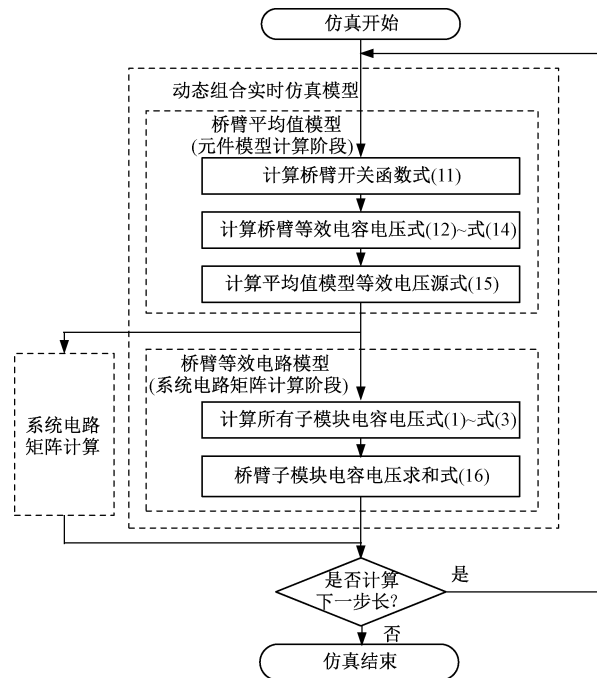


图4 MMC 动态组合实时仿真模型计算流程图

Fig.4 Computation flow chart of MMC dynamic combination model for real-time simulation

在元件模型计算阶段,首先采用桥臂平均值模型依次计算桥臂开关函数 s_{ave} 、等效电容电压 v_{Ceq} 及桥臂等效电压 v_{arm} 。其中桥臂等效电压将用于系统矩阵电流源向量的生成与求解。在系统电路矩阵计

算阶段进行动态组合模型中的等效电路模型计算,该部分计算完成两项任务:

(1)计算所有子模块电容电压,用以作为 MMC 控制器输入,实现包含电容电压平衡控制在内的完整阀级控制验证。

(2)等效电路计算模块不需要计算桥臂等效电压 v_{arm} ,而是计算子模块电容电压总和,用以校正下一步长中平均值模型所需的等效电容电压 v_{Ceq} 。

在动态组合模型中 v_{Ceq} 由式(16)进行校正:

$$v_{Ceq}(t) = \sum_{k=1}^n v_{cap}^k(t) \quad (16)$$

式中,上标 k 为单个桥臂中子模块序号。动态组合模型中的“动态”指平均值模型与桥臂等效电路模型在同一个仿真步长中存在动态交互,与在系统中不同 MMC 分别使用两种模型的“静态”混合方式相区别。式(16)为桥臂等效电路模型与桥臂平均值模型进行动态转换的基础。式(16)与传统等效电路模型中式(10)相似,在硬件计算时,强制将所有子模块接入桥臂,即可实现式(10)向式(16)的转换,因此仅在桥臂等效电路计算模块中做很小的设计改动,就可实现该硬件模块的复用功能。

实时仿真系统中 k_1 与 k_2 的比值与仿真计算中元件模型计算时间 ΔT_1 与系统矩阵计算时间 ΔT_2 的比值有关,在不增加单个步长 ΔT 且 MMC 数量较多时关系式如下:

$$\frac{k_2}{k_1} \leq \frac{\Delta T_2}{\Delta T_1} \quad (17)$$

在忽略桥臂平均值计算模块的资源消耗时,节约的用于 MMC 模型计算的 FPGA 逻辑资源比例 η 为:

$$\eta \approx \frac{k_2}{k_1 + k_2} \quad (18)$$

当 ΔT 能够在小范围进行调整时,可以不满足式(13)条件。 ΔT_2 会随子网节点规模的增长显著上升,因此在子网节点数较大时,动态组合模型可体现出更大优势。

值得指出的是本文提出的 MMC 动态组合实时仿真模型适用的典型场合为基于 FPGA 的实时仿真应用。当计算硬件及算法可利用并行机制时,本文提出的方法也可用于离线计算。

4 基于 PSCAD/EMTDC 的仿真算法验证

本节在 PSCAD/EMTDC 平台下验证动态组合

模型算法的准确性、稳定性,由于FPGA设计成本高、综合时间较长,本研究首先在离线环境对不同算法进行准确性与数值稳定性验证,然后在实时仿真中实现三端柔直系统实时仿真,以进一步验证运算与资源使用效率。

本节分别在稳态、交流侧短路故障、直流侧短路故障等不同状态下对比动态组合模型与等效电路模型,测试电路为单个MMC,即在图1的直流侧接直流电源,交流侧依次连接双绕组变压器与等效交流电压源,主电路参数依照CIGRE直流电网测试电路设置^[19],其中直流电压为 ± 200 kV,交流变压器变比为380 kV/220 kV,容量为800 MV·A,单个桥臂含有16个子模块,仿真步长为20 μ s。MMC控制外环根据控制需要控制有功与无功,或直流电压与无功,并采用DQ解耦的电流内环。MMC控制采用载波层叠法(Phase Disposition, PD)^[20],该方法同时适用于低电平与高电平数MMC控制,最后通过子模块电容电压排序实现平衡算法。由于MMC电平数较低时,MMC交流端口电压、电流谐波较大,阶跃的多电平特征明显,因此离线仿真中特别地选取了较低的电平数,在降低电平数的同时,在测试电路中对通过等比例减小子模块电容容值实现相似的系统响应。因为本文的着力点在于MMC建模,在不同建模方法进行比较时主电路拓扑、参数相同,控制方法相同,因此不再赘述电路结构与控制算法。

系统稳态运行时的离线仿真结果如图5所示,包含了A相上、下桥臂中首个MMC子模块的电容电压与MMC交流出口侧的电压波形。图5~图7中实线与虚线分别为采用动态组合模型与桥臂等效电路模型的仿真结果。可以看出稳态下动态组合模型具有很高的计算精度。值得指出的是,当系统中使用恒定幅值、频率的等效交流电压源及开环控制下,误差通常不会积累,而在闭环控制中,电路波形的差异则会在积分器等环节积累,从而导致控制行为的差异,对于MMC则会导致MMC各子模块投切时序及最终仿真波形的差异,然而这种差异不会影响总体的控制特性与仿真效力。在故障暂态发生的短时间内,波形则较少受到控制与累积误差的影响,可更有效地验证仿真精度。交流侧三相接地故障与直流侧正负极短路故障时的暂态波形如图6与图7所示。测试电路中没有设置保护算法,即在直流故障发生后,子模块不进行闭锁,而是继续根据控制指令进行投切动作。因此在故障发生后子模块电容电

压如图7(a)所示,电容电压会在数毫秒内降至0。相似的,在瞬时故障消除后,由于没有设置启动顺控,子模块电容电压快速上升并大范围波动。在仿真验证中,要求不论控制保护算法是否完善,仿真结果均需准确体现系统响应。在实际工程应用中,对子模块进行闭锁并投入断路器后,不会产生图7所示的剧烈变化。

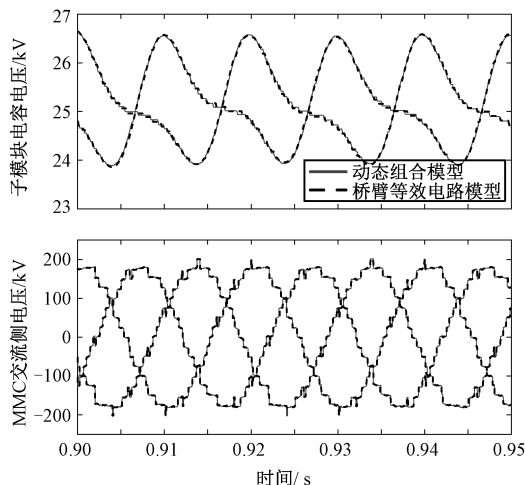


图5 系统稳态运行离线仿真结果

Fig.5 Off-line simulation results during steady-state operation

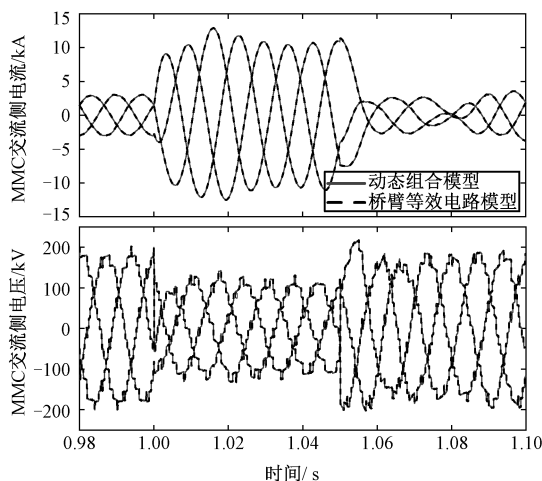


图6 交流侧三相接地故障离线仿真结果

Fig.6 Off-line simulation results during AC-side three-phase ground fault

在暂态过程中动态组合模型与等效电路模型间误差依然很小,不影响仿真应用。在计算流程中,动态组合模型考虑了桥臂电容动态变化特征,又通过等效电路模型准确计算了每个子模块电容电压,以此校正平均值模型中的等效电容电压。如需进一步

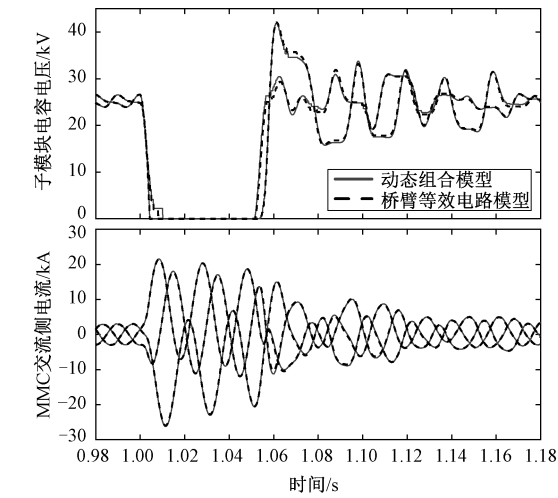


图 7 直流侧短路故障离线仿真结果

Fig.7 Off-line simulation results during DC-side fault

减小误差,可通过减少仿真步长实现,但对计算硬件也提出更高的要求。

5 实时仿真硬件设计与仿真结果

实时仿真电路拓扑示意图如图 8 所示,采用了三端柔性直流输电系统,该算例采用与离线仿真相同的参数设置^[19]。传输线采用 Bergeron 传输线模型,可实现传输线两端的子网解耦,图 8 中的系统分为了 3 个子网。与离线算例不同,在实时仿真系统中每个 MMC 桥臂包含 256 个子模块,每个子模块额定电容电压约在 1.56 kV,实时仿真步长为 10 μs。

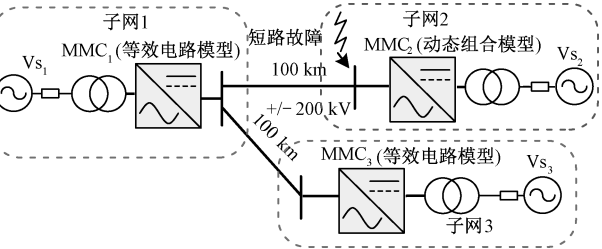


图 8 实时仿真电路拓扑示意图

Fig.8 Circuit topology diagram for real-time simulation

实时仿真器基于 Xilinx 的多核片上系统实现,其在同一个芯片中集成了 FPGA 逻辑资源与基于 ARM 架构的应用处理器 (Application Processing Unit, APU),因此可同时实现高效的并行与串行计算。多核片上系统结构示意图如图 9 所示。在本算例中仿真初始化计算、电压源与变压器等电气元件计算、MMC 系统级控制计算等在处理器中实现。MMC 模型,MMC 阀控及系统矩阵求解运算因其并

行度很高,在 FPGA 中进行计算。FPGA 设计采用 Xilinx 提供的 HLS 功能,可以用 C 语言进行综合,大幅降低 FPGA 设计周期。

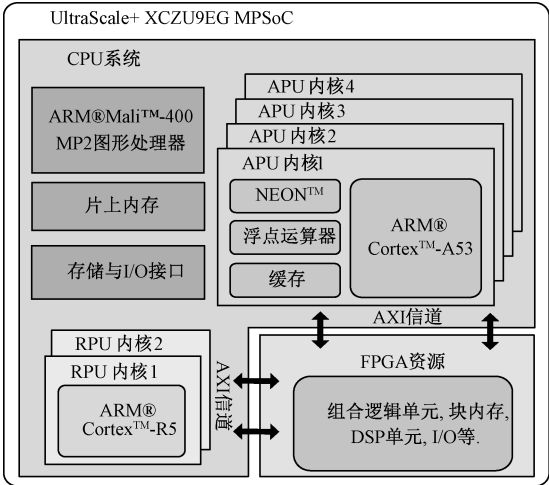


图 9 多核片上系统示意图

Fig.9 Schematic of multi-processor system-on-chip

本算例中交流系统等效为交流电压源,因此每个子网的矩阵规模较小,矩阵求解时间较短,本算例矩阵求解时间为 2.61 μs。根据本算例电路特点,在使用动态组合模型时,MMC₁ 与 MMC₃ 采用等效电路模型,MMC₂ 则采用动态组合模型,并复用 MMC₁ 的计算模块,即表 1 中的方案 1。当系统规模较大,矩阵计算时间所占每步长计算总时间比例较大,则可以仅对 MMC₁ 使用等效电路模型,MMC₂ 与 MMC₃ 采用动态组合模型,即表 1 中的方案 2。表 1 为等效电路模型计算模块与平均值计算模块在 FPGA 中的计算资源消耗情况,这些资源主要包括 DSP 单元,触发器 (Flip-Flop, FF),查表单元 (Look-Up Table, LUT)。单个计算模块用于一个桥臂计算,每个 MMC 中 6 个桥臂的计算以串行方式复用该模块。其中等效电路模型计算模块完成一个桥臂耗时 0.55 μs,即整个 MMC 需 3.3 μs。采用方案 1 时,硬件资源可节约 32%左右,采用方案 2 时,硬件资源可节约 66%左右。本算例实时仿真设计基于方案 1 实现。

表 1 FPGA 逻辑资源消耗

Tab.1 Consumption of FPGA logic resources

FPGA 逻辑资源	等效电路 模型计算 模块	平均值 模型计算 模块	动态组合模型 硬件资源节约率 (%)	
			方案 1	方案 2
DSP	1 294	16	32.9	66.3
FF	114 105	1 369	32.9	66.3
LUT	118 884	3 991	32.2	65.5

稳态时的实时仿真结果如图 10 和图 11 所示,其中实线为采用上述方案 1 时的结果,虚线为 3 个 MMC 全部使用等效电路模型时的结果。图 10 中 MMC₂ 由发出 600 MW 变化为吸收 400 MW,MMC₁ 控制直流电压并被动响应直流输电系统功率变化。图 11 中 MMC₂ 中 A 相上下桥臂首个子模块电容电压波动随有功功率的减小也随之降低。MMC₂ 直流母线短路故障时的实时仿真结果如图 12 与图 13 所示,故障点在 MMC₂ 的直流母线侧,为双极性瞬时故障。与离线算例相同,故障过程没有进行子模块闭锁与保护过程,波形体现系统保持稳态控制策略时的自然响应,因而有很大的故障电流。图 13 显示了直流短路故障瞬间 MMC₂ 的电容电压在子模块没有闭锁时的快速放电过程,其桥臂短路电流可达到 40 kA 以上。考虑了直流短路保护动作后的子模块电容电压与直流电流如图 14 所示,子模块在发生直流短路后 0.5 ms 进行闭锁,直流断路器在 3 ms 进行动作。子模块电容电压在闭锁后电容电压基本保持恒定。直流故障电流在子模块闭锁后停止上升,并在直流断路器动作后快速消除。基于 MPSoC 的实时仿真结果验证了本文提出算法可以在保障运算精度的前提下,大幅降低 FPGA 硬件资源。

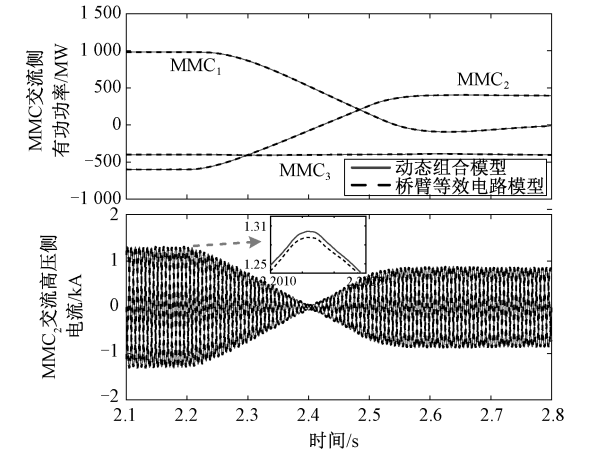


图 10 稳态时交流侧功率与电流实时仿真结果
Fig.10 Real-time simulation results of AC power and current during steady-state operation

6 结论

本文提出了一种 MMC 动态组合实时仿真模型,该模型在同一仿真步长内先后运用桥臂平均值模型与桥臂等效电路模型。该模型可以在不增加运算时长的前提下,对桥臂等效电路模型进行复用,以

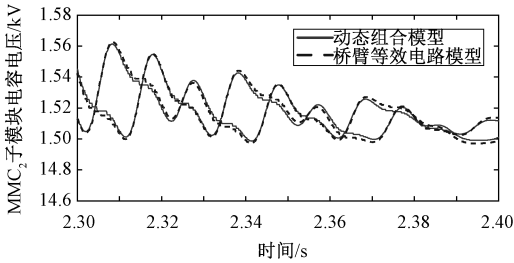


图 11 稳态时子模块电容电压实时仿真结果
Fig.11 Real-time simulation results of sub-module capacitor voltages during steady-state operation

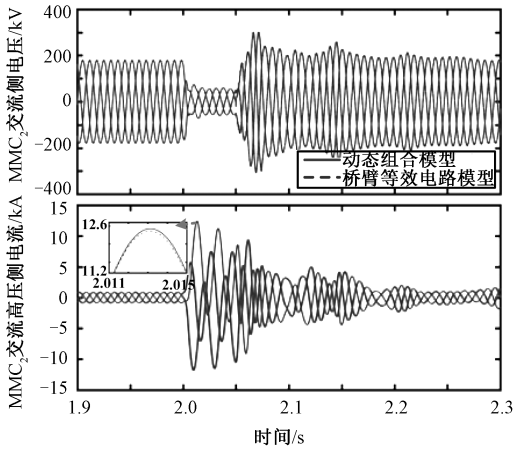


图 12 直流短路故障时交流电压与电流实时仿真结果
Fig.12 Real-time simulation results of AC-side voltage and current during DC-side fault

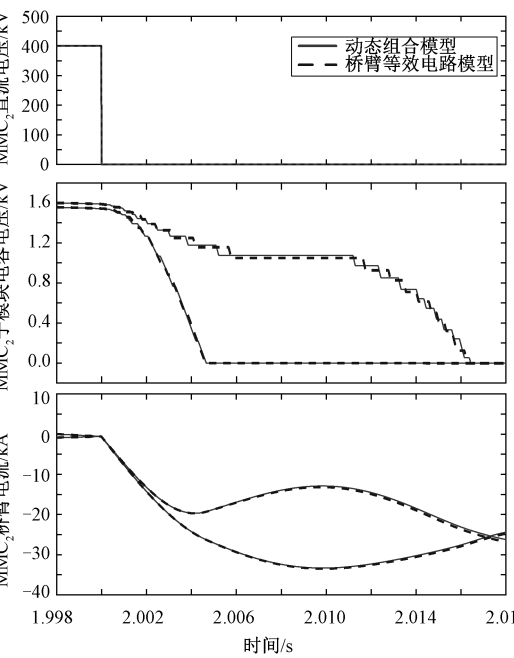


图 13 直流短路故障时直流电压、子模块电容电压与桥臂电流实时仿真结果
Fig.13 Real-time simulation results of DC voltage, sub-module capacitor voltages, and arm currents during DC-side fault

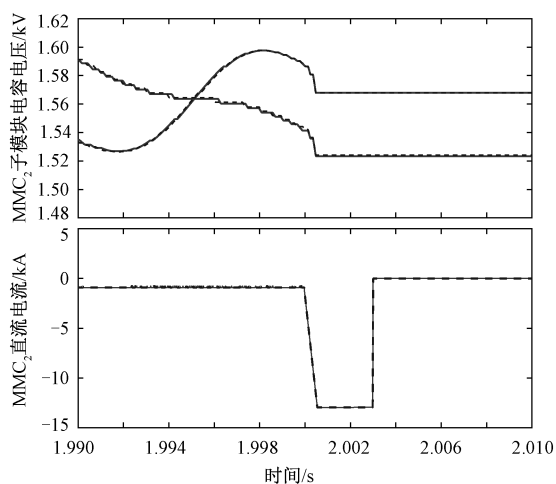


图14 直流短路故障保护动作后子模块
电容电压与直流电流实时仿真结果

Fig.14 Real-time simulation results of sub-module
capacitor voltages, and DC currents during
DC-side fault with protection

实现 FPGA 计算资源的大幅下降。通过基于 PSCAD/EMTDC 的离线仿真与基于 MPSoC 的实时仿真验证了本文提出算法的准确性与硬件优化效果。本文提出的算法可以在含有多个 MMC 的交直流系统中提升实时仿真器的仿真能力,或可用于降低计算硬件成本。

参考文献 (References):

[1] 徐政,屠卿瑞,管敏渊,等 (Xu Zheng, Tu Qingrui, Guan Minyuan, et al.). 柔性直流输电系统 (Voltage source converter based HVDC system) [M]. 北京:机械工业出版社 (Beijing: China Machine Press), 2012.

[2] 赵聪,雷鸣,李子欣,等 (Zhao Cong, Lei Ming, Li Zixin, et al.). 全桥型模块化多电平换流器环流特性分析与自抑制方法 (Circulating current characteristics analysis and self-suppression method of full-bridge modular multilevel converter) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2018, 37 (8): 1-8.

[3] 王杉,谢利理,王海宇 (Wang Shan, Xie Lili, Wang Haiyu). MMC-HVDC 简化有限集快速模型预测控制研究 (Study of control strategy for MMC-HVDC system based on simplified finite set fast model predictive control) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2019, 38 (6): 16-26.

[4] 杨立敏,李耀华,王平,等 (Yang Limin, Li Yaohua, Wang Ping, et al.). 适用于 ± 500 kV/3 000 MW 输电

换流器的电路拓扑损耗特性研究 (Research on loss characteristics of topologies for ± 500 kV/3 000 MW VSCHVDC converters) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2017, 36 (6): 5051-5062.

[5] 姚蜀军,韩民晓,张硕,等 (Yao Shujun, Han Minxiao, Zhang Shuo, et al.). 基于 GPU 的电磁暂态并行仿真研究 (Research on electromagnetic transient parallel simulation based on GPU) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2019, 38 (1): 10-16.

[6] 杨立敏,王晖,韩志勇,等 (Yang Limin, Wang Hui, Han Zhiyong, et al.). 全桥型模块化多电平换流器损耗简化计算模型研究 (Research on simplified loss model of full-bridge modular multilevel converters) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2019, 38 (8): 53-62.

[7] 岳程燕,周孝信,李若梅 (Yue Chengyan, Zhou Xiaoxin, Li Ruomei). 电力系统电磁暂态实时仿真中并行算法的研究 (Study of parallel approaches to power system electromagnetic transient real-time simulation) [J]. 中国电机工程学报 (Proceedings of the CSEE), 2004 (12): 5-11.

[8] Faruque M, Strasser T, Lauss G, et al. Real-time simulation technologies for power systems design, testing, and analysis [J]. IEEE Power and Energy Technology Systems Journal, 2015, 2 (2): 63-73.

[9] Shen Z, Dinavahi V. Real-time MPSoC-based electrothermal transient simulation of fault tolerant MMC topology [J]. IEEE Transactions on Power Delivery, 2019, 34 (1): 260-270.

[10] Bai H, Liu C, Rathore A K, et al. An FPGA-based IGBT behavioral model with high transient resolution for real-time simulation of power electronic circuits [J]. IEEE Transactions on Industrial Electronics, 2019, 66 (8): 6581-6591.

[11] Gnanarathna U N, Gole A M, Jayasinghe R P. Efficient modeling of modular multilevel HVDC converters (MMC) on electromagnetic transient simulation programs [J]. IEEE Transactions on Power Delivery, 2011, 26 (1): 316-324.

[12] Maguire T, Warkentin B, Chen Y, et al. Efficient techniques for real time simulation of MMC systems [A]. International Conference on Power Systems Transients (IPST) [C]. 2013. 1-7.

[13] Li W, Bélanger J. An equivalent circuit method for modeling and simulation of modular multilevel converters in real-time HIL test bench [J]. IEEE Transactions on Power

- Delivery, 2016, 31 (5): 2401-2409.
- [14] 许建中, 赵成勇, 刘文静 (Xu Jianzhong, Zhao Chengyong, Liu Wenjing). 超大规模 MMC 电磁暂态仿真提速模型 (Accelerated model of ultra-large scale MMC in electromagnetic transient simulations) [J]. 中国电机工程学报 (Proceedings of the CSEE), 2013, 33 (10): 114-120, 11.
- [15] Lin N, Dinavahi V. Behavioral device-level modeling of modular multilevel converters in real time for variable-speed drive applications [J]. IEEE Journal of Emerging and Selected Topics in Power Electronics, 2017, 5 (3): 1177-1191.
- [16] Peralta J, Saad H, Denetiere S, et al. Detailed and averaged models for a 401-level MMC-HVDC system [J]. IEEE Transactions on Power Delivery, 2012, 27 (3): 1501-1508.
- [17] Yu S, Zhang S, Wei Y, et al. Efficient and accurate hybrid model of modular multilevel converters for large MT-DC systems [J]. IET Generation, Transmission & Distribution, 2017, 12 (7): 1565-1572.
- [18] Shen Z, Dinavahi V. Comprehensive electromagnetic transient simulation of AC/DC grid with multiple converter topologies and hybrid modeling schemes [J]. IEEE Power and Energy Technology Systems Journal, 2017, 4 (3): 40-50.
- [19] Vrana T K, Yang Y, Jovcic D, et al. The CIGRE B4 DC grid test system [R]. CIGRE B4-57 and B4-58 working group, 2013.
- [20] Saeedifard M, Irvani R. Dynamic performance of a modular multilevel back-to-back HVDC system [J]. IEEE Transactions on Power Delivery, 2010, 25 (4): 2903-2912.

Dynamic combination model of modular multi-level converter for real-time simulation

SHEN Zhuo-xuan^{1,2}, GUO Qi^{2,3}, JIANG Qi-rong¹, GUO Hai-ping^{2,3}, ZHANG Shu-qing¹,
YU Si-qi¹, LI Xiao-qian¹

(1. State Key Laboratory of Control and Simulation of Power System and Generation Equipments, Tsinghua University, Beijing 100084, China; 2. State Key Laboratory of HVDC, Electric Power Research Institute, China Southern Power Grid, Guangzhou 510663, China;
3. Guangdong Provincial Key Laboratory of Intelligent Operation and Control for New Energy Power System, Guangzhou 510663)

Abstract: With the advantages of low harmonics, low switching losses, and modularity, modular multi-level converter (MMC) has been employed in multiple flexible HVDC transmission projects worldwide. Digital real-time simulation can be used in the hardware-in-the-loop test for the control and protection devices of MMC, and such a test is important to ensure the safe and steady operation of the AC/DC grid. Due to high parallel computing capability, Field Programmable Gate Array (FPGA) is used for the computation of MMC in real-time simulators. With more MMCs existed in the AC/DC grid, the logic resource consumption of FPGA increases several times correspondingly. Within each simulation time-step, the computations of electrical components and system matrix solution conduct sequentially, which leads to a large amount of idle time for the MMC computation unit within each simulation cycle. This paper proposes a dynamic combination model of MMC for real-time simulation, which integrates the equivalent circuit model and the average value model of the converter arm. The FPGA computation unit is reused within the time-period of MMC computation and system matrix solution, which can optimize the usage of the logic resources and reduce the hardware cost for MMC computation. This paper verifies the accuracy of the proposed algorithm on PSCAD/EMTDC, and realizes the real-time simulation of a three-terminal MMC-based HVDC system on the FPGA-based multi-processor system-on-chip.

Key words: modular multi-level converter; field programmable gate array; electromagnetic transient; digital real-time simulation