

基于分立器件的 SiC MOSFET 功率模块门极驱动电路设计

王翰祥, 蒋 栋

(华中科技大学电气与电子工程学院, 湖北 武汉 430074)

**摘要:** SiC MOSFET 功率模块能够帮助提高变换器高温、高功率密度运行的可行性。同时,对于高温下可靠运行的驱动电路的需求也随之增加。由于 Si 技术的驱动芯片和隔离芯片的耐温最大不超过 125℃,本研究提出了一种使用脉冲变压器配合基于 Si 材料的分立器件实现的隔离驱动电路,能够提供与商业化驱动电路同等的驱动电流与上升下降时间。所提出的分立器件驱动电路经 Saber 仿真验证,并于 SiC 功率模块上进行双脉冲实验评估。仿真和实验结果证明了所提出的驱动结构对 SiC MOSFET 驱动的效果。

**关键词:** 门极驱动电路; 脉冲变压器; 分立器件; 驱动能力

**DOI:** 10. 12067/ATEEE1805071      **文章编号:** 1003-3076(2018)10-0051-07      **中图分类号:** TM402

1 引言

碳化硅(Silicon Carbide, SiC)作为一种宽禁带半导体材料,对高温与高压的耐受能力较强,同时,高电子迁移率的特点也使其具有更高的开关速度<sup>[1-3]</sup>。除了引发更为恶劣的高频电磁干扰之外, SiC 器件的应用对变换器性能的提升是全方面的。合理地使用 SiC 器件能够降低系统损耗,并且可以通过提升开关频率以降低无源元件体积,有效提高变换器功率密度<sup>[4]</sup>。

2001 年 Infineon 推出的 SiC 二极管是世界上第一款商业化 SiC 半导体器件。此后, SiC JFET、SiC MOSFET、SiC 三极管等均已问世。近年来, CREE、ROHM 等推出了全 SiC 功率模块,使 SiC 器件能够更便捷地应用于大功率场合。本研究以 CREE 公司的 CAS300M12BM2 为被驱动对象,该模块为半桥结构,上下两管分别由 6 个 SiC 肖特基二极管裸片和 6 个 SiC MOSFET 裸片并联构成,其电压电流等级为 1200V/300A,最大结温为 150℃。针对该 SiC 功率模块, CREE 公司推出了与之匹配的仅适用于常温的双通道隔离驱动电路——CGD15HB62P1,该电路通过 1ED020I12 与 IXD609 两级驱动芯片提供驱动能力与保护功能。其重要技术指标见表 1,该驱动

电路不适合用于 SiC 模块的高温应用,但其驱动的电

流和时间等指标可以为本研究提供参考。

表 1 CGD15HB62P1 驱动电路重要指标

Tab. 1 Important information of CGD15HB62P1

参数	数值
最大驱动电流/A	± 11
最大隔离电压/V	1200
最高开关频率/kHz	64
最高工作温度/℃	85
开关信号延迟时间/ns	300

在航空航天、电动汽车等应用中,电力电子变换器需要工作于高温环境,传统 Si 器件构成的变换器难以正常工作。而 SiC 器件强大的结温耐受能力使其成为高温电力电子变换器的重要组成部分。考虑到门极驱动电路需要与开关器件紧密连接,必须能够承受较高的环境温度。

商业化门极驱动电路几乎均由 Si 技术的隔离驱动芯片实现,耐温不高于 85℃。在常规方法无法满足耐温需求的情况下,有两种可实施方案:①使用 Si 技术且结构简单的耐高温分立器件实现信号隔离和电流驱动;②使用基于绝缘体上硅(Silicon-On-Insulator, SOI)工艺的耐高温集成电路芯片。前者涉及到种类众多的分立器件,其高温运行能力由耐温

收稿日期: 2018-06-15  
基金项目: 国家重点研发计划项目(2016YFB01006024)  
作者简介: 王翰祥(1994-),男,浙江籍,硕士研究生,研究方向为高温门极驱动技术;  
蒋 栋(1983-),男,湖南籍,教授,博士,研究方向为电力电子与电力传动、电磁兼容等。

性能最弱的器件和发热元件决定,往往因肖特基二极管的耐温水平而止步于 $175^{\circ}\text{C}$ ,但依旧适用于本研究所选的被驱动对象。后者所选芯片工艺复杂,制造成本高,价格十分昂贵。目前能够提供商业化 SOI 工艺芯片的供应商仅有欧洲的 CISSOID 与 XREL,通过 SOI 工艺芯片实现的驱动电路其价格往往是本身已很昂贵的 SiC 功率模块的几倍。但无论何种方案,信号隔离的实现均需通过脉冲变压器(Pulse Transformer, PT)实现,因为仅有磁隔离方案能够应用于 $150^{\circ}\text{C}$ 以上的高温环境。

目前世界范围内有 3 种实现高温门极驱动电路的方法:①使用容量较大的变压器进行隔离并提供较强的电流驱动能力<sup>[5]</sup>,但其缺点是难以集成保护功能并且不利于提高功率密度;②通过前述的分立器件实现,在数字信号范围内实现隔离,再对隔离后的信号进行驱动放大,该方法便于集成保护功能且体积小,但电路复杂,器件选型难度大;③设计并封装 SOI 芯片<sup>[6]</sup>,高温集成电路实现门极驱动虽是未来的趋势,但该技术尚不成熟,实现难度大,成本极高。

本研究出于性价比的考虑,使用了 PT 配合分立器件的方式。SOI 工艺在硅与衬底之间添加的绝缘层是为了降低漏电流。而在分立器件构成的电路中,不同的器件天然地分布于不同的衬底之上,其漏电流几乎为 0,说明使用分立器件搭建高温驱动电路是可行的<sup>[7]</sup>。

为了给 SiC 功率模块提供可靠的高温门极驱动电路,本研究针对驱动电路的各个功能模块进行分析与验证。首先从驱动电路的框架结构入手,说明了信号隔离与电流驱动的实现策略;然后详细分析各组成部分的电路参数与设计细节,并使用 Saber 进行仿真验证;最后与模块连接进行双脉冲(Double Pulse Test, DPT)测试,并评估实验结果。

## 2 驱动电路结构

作为高压大电流功率模块的驱动电路,提供信号隔离与足够的驱动电流是必要的,而二者所属的技术领域关联较小,因此可以分为两个部分分别进行设计,但要注意两部分电路的电平和驱动能力相互配合的问题。现需分析信号隔离和电流驱动的顺序问题。通常在数字信号阶段实现隔离有助于减小脉冲变压器的体积,进而减小整体门极驱动电路的体积,因为此时信号的电平跨度及电流峰值均较小,

对 PT 的饱和磁场强度和体积的要求均显著降低。因此本研究将驱动电路分为两个部分,先在幅值为 5V 的 CMOS 电平下实现信号隔离,再经过 TTL 电平电路实现电平转换和电流驱动,最终得到的驱动电压为 $+20/-5\text{V}$ ,驱动电流峰值高达 10A,并且具有足够高的压摆率,能够在 25ns 内实现输出电压高低电平之间的切换。

### 2.1 信号隔离

对数字信号的隔离存在两个重要问题:①常规的单极性方波直接输入 PT 会使其迅速饱和;②励磁电流导致的续流问题,方波驱动下的励磁电流呈三角波,励磁电流的正负区域与输入信号高低电平之间存在一定相位差,而在门极驱动应用中变压器副边电流无法抵消原边励磁电流,从而导致数字信号的输出端需要在低电平时提供电流或者在高电平时吸收电流,最终引起输入电压波形畸变。

基于上述问题,本研究采用了基于调制解调的隔离方式。调制过程提取了输入方波信号的上升、下降沿位置,分别输出正、负极性的窄脉冲。得到的窄脉冲能够通过 PT 而不会引起上述两个问题。解调过程则通过锁存器将高低电平还原,此时的输出信号不需要具有电流驱动能力。

#### 2.1.1 输入信号调制

提取方波信号的上升、下降沿与提取阶跃信号的边沿相似,需要使用高通滤波器(High Pass Filter, HPF)。常规的 HPF 为 RC 与 LR 两种,但在参数设计时需要考虑以下三个因素:需要的最大拉灌电流、输出电压峰值和脉冲持续时间。上述三个因素分别影响输入信号提供方式、PT 匝比以及解调电路的输入电平和最大开关频率。

在由 RL 构成的 HPF 中,电感负载作为输出端,与 PT 原边并联。而正是 PT 原边电感值的限制,导致所需的拉灌电流无法满足要求。因此最终采用了一种二阶 HPF,隔离前调制电路如图 1 所示。

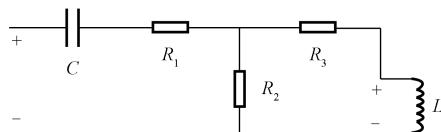


图 1 隔离前调制电路

Fig. 1 Modulation circuit before isolation

该电路首先由  $C$  与  $R_2$  构成一阶 HPF,与  $R_2$  并联的  $R_3$  和 PT 原边电感  $L$  构成二阶 HPF,  $R_1$  的作用是抑制 LC 串联振荡。在  $R_1$  取  $100\Omega$ ,  $R_2$  取

1000Ω,  $R_3$  取 100Ω 并且  $C$  为 3nF 时得到的调制后波形如图 2 所示。其输出电压峰值达 4V, 不考虑振荡时的脉冲宽度不足 1μs, 适用于载波频率为 20kHz 的 SPWM 输入信号。初始信号由推挽式缓冲器 74AC541 提供, 能够提供足够的拉灌电流。

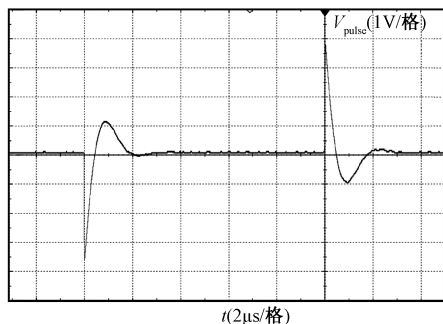


图 2 调制电路输出端电压波形

Fig. 2 Output waveform of modulation circuit

### 2.1.2 铁氧体磁环实现脉冲信号隔离

图 2 所示波形中单个窄脉冲的伏秒乘积很小, 即使选用体积最小的磁心元件以及单匝绕组依旧不会导致饱和。本研究使用了 Ferroxcube 的 TN10/6/4 铁氧体磁环, 其内外径分别为 6mm 和 10mm, 高度为 4mm, 最大工作温度为 200℃, 隔离电压为 1kV。

由于 HPF 输出信号能够提供足够的电压峰值, PT 不再需要对其进行升压, 设计时可使其原副匝数相等, 均为 10 匝, 便于安装和固定, 导线选用直径为 0.300mm 的漆包线。在匝数为 10 时通过仿真得到的输入信号电流峰值为 15mA, 低于前级芯片的 24mA 输出能力, 满足设计要求。

### 2.1.3 解调电路

常规锁存器由两个与非门或者或非门构成, 分别对应低电平触发和高电平触发。而在高温环境中通过逻辑门实现锁存的难度很大。本设计采用了一种由三极管和二极管制成锁存器的方法, 隔离及锁存电路示意图如图 3 所示<sup>[8,9]</sup>。

该电路与传统锁存器的相似之处在于输入与输出端的交叉连接。由于该电路只能被正脉冲信号触发, 因此需要增加  $T_3$  绕组。在  $V_{pulse}$  为正脉冲时,  $D_1$  导通  $D_2$  截止, 此时  $Q_1$  开通, A 点电位为低电平, 将  $Q_2$  基极电压拉低导致  $Q_2$  截止, B 点电位为高电平, 通过  $R_4$  将  $Q_1$  基极电压拉高使之持续导通。因此, 即使  $V_{pulse}$  正脉冲结束, A、B 两点的电位依旧能够保持为低电平和高电平。同理,  $V_{pulse}$  负脉冲过后, A、B 两点分别保持在高电平和低电平。

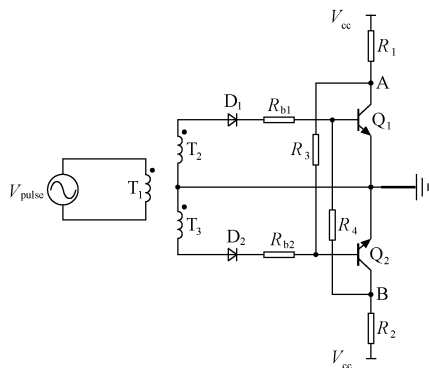


图 3 隔离及锁存电路示意图

Fig. 3 Isolation and latch circuit

图 3 所示电路的 B 点电位能够与原始方波信号保持相同的逻辑, A 点电位与原始方波信号的逻辑相反。

现分析该电路的参数选取, B 点的高电平电压幅值为:

$$V_{B-high} = V_{cc} \frac{R_4}{R_2 + R_4} + V_{be(on)} \frac{R_2}{R_2 + R_4} \quad (1)$$

式中,  $V_{B-high}$  表示 B 点高电平电压幅值;  $V_{cc}$  表示解调电路供电电压;  $V_{be(on)}$  表示三极管发射结导通压降。为了最大化利用  $V_{cc}$  电平以提供可靠的后级驱动, 需要  $V_{B-high}$  尽可能接近  $V_{cc}$ , 因此可以令  $R_4$  电阻阻值远大于  $R_2$  电阻阻值。

B 点的低电平电压幅值 ( $V_{B-low}$ ) 即为三极管导通压降  $V_{ce}$ 。由于电路传递的是方波信号, 图 3 中  $Q_1$  和  $Q_2$  两个三极管均需要工作于开关状态下, 对应输出特性曲线的截止区和饱和区。因此在导通时, 发射结与集电结均处于正偏状态,  $V_{B-low}$  较低不足以触发后级电平转换电路, 从而保证了后级电路不会被误触发。

### 2.2 电平转换和电流驱动

在  $V_{cc}$  为 5 V 的情况下, 由调制、隔离、解调电路传递过来的方波信号的高低电平分别约为 4V 和 0.2V, 其电流驱动能力不足 100mA。经过电平转换与电流驱动, 最终需要输出 +20/-5V 且能提供 10A 拉灌电流的方波信号。

在电平转换部分, 本研究采用了最简单的三极管配合上拉电阻的方式。电平转换及电流驱动电路如图 4 所示。

图 4 中电路的输入端即为图 3 中的 A 点, 选用的 2N2222A 三极管为 NPN 型, 耐温高达 200℃, 最大持续集电极电流为 800mA, 从而将 A 点 4V 左右





幅缩短,并且具有更高的关断速度。

此外,由于驱动电路前后级之间关联紧密,存在较多需要权衡的电路参数,主要包括压摆率、传递延迟和损耗之间的矛盾。因此各电阻电容的具体取值需要在逐级调试中不断修改以达到相对较好的性能,特别需要注意陶瓷电容取值过大易造成三极管开关波形振荡的问题。图 6 仿真结果仅用于定性比较,无法真实体现实际应用中的优化效果。

4 实验结果

在第 3 节的设计基础上,开发了基于分立器件的 SiC 功率模块驱动电路样机。由分立器件构成的驱动电路实物图如图 7 所示,该驱动板面积为 8cm×9cm。

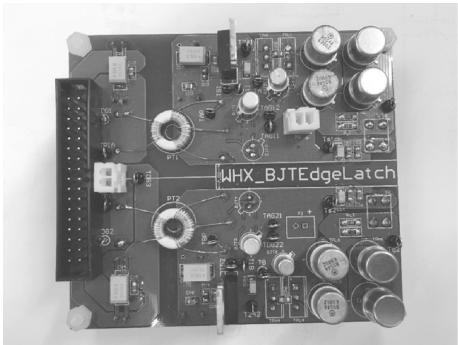


图 7 由分立器件构成的驱动电路

Fig.7 Gate drive composed of discrete devices

驱动电路输入、输出信号的上升沿、下降沿电压波形如图 8 和图 9 所示。

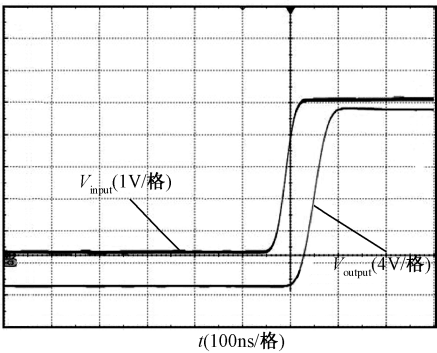


图 8 输入输出信号上升沿波形

Fig. 8 Rising edge waveform of input and output signals

输入方波信号时基为 1V/格,输出驱动电压时基为 4V/格。输出驱动电压的上升下降沿均为 50ns 左右,与官方推荐驱动板十分接近。此外,信号传递延迟约为 50ns,远小于官方推荐驱动板的 300ns。

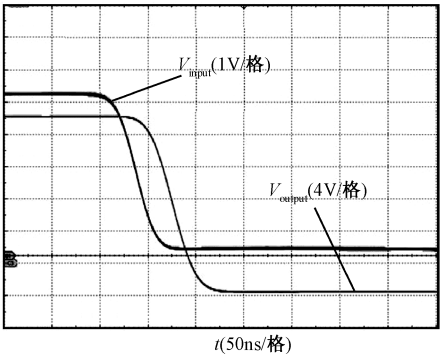


图 9 输入输出信号下降沿波形

Fig. 9 Falling edge waveform of input and output signals

低延迟主要包含两个原因:①在 TTL 电平下对三极管开关速度进行了优化;②由于本研究的驱动电路不含保护电路,驱动过程中的逻辑环节减少,延迟较低<sup>[11,12]</sup>。根据上述两个波形可以认为本研究使用的电路结构能够提供低延迟并且压摆率足够高的输出电压波形。

在 DPT 测试时,评价实验平台测试准确性的核心参数指标为母线上杂散电感量。由于被驱动对象为模块结构,对减小直流母线杂散电感有非常严格的需求。本研究采用了一种低杂散电感设计的电容板作为直流母线稳压电容并与模块正负母线端子直接相连。该电容板为四层板,中间两层均为母线电压中点,顶层为负母线,底层为正母线。12 个 MKP1848625454 薄膜电容两两串联后再再并联提供共计 75μF 的母线电容,且相邻并联支路的电流方向相反,因此可以相互抵消以降低杂散电感。其中单独一条并联支路的电容串联结构如图 10 所示。

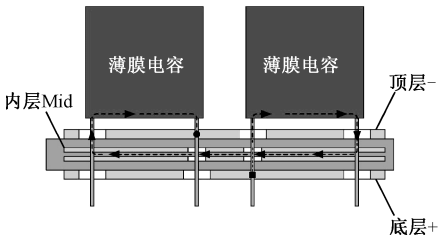


图 10 单条并联支路的电容串联结构

Fig. 10 Series structure of single parallel branch

但出于电流测量的需求,额外加入杂散电感是不可避免的。本平台选用 R&S 公司的 RT-ZC20 电流探头,并用 R&S 公司的 500MHz 无源探头 RT-ZP10 以短地线的接法测量 PWM 输入信号。示波器选用 TELEDYNE LECROY 的 HDO4054 型号,具有 500MHz 的带宽与 2.5GS/s 的采样率。

在常温下,通过上述实验平台对 SiC 模块进行了 500V/30A 的 DPT 测试,驱动电阻为  $5\Omega$ 。测试时,下管为被测管,电感充电至 30A,之后关断  $2\mu\text{s}$ ,再开通  $3\mu\text{s}$  后保持关断。双脉冲整体测试波形如图 11 所示,第二个脉冲开通时刻细节波形如图 12 所示,第一个脉冲关断时刻细节波形如图 13 所示。波形的时间尺度以及各信号的时基与所对应的电气量均已标出。

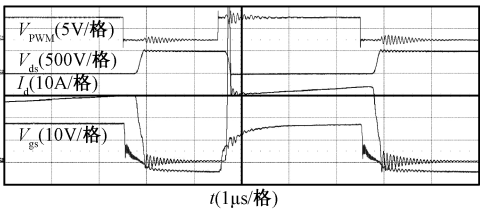


图 11 DPT 测试实验波形  
Fig. 11 Experimental waveforms of DPT

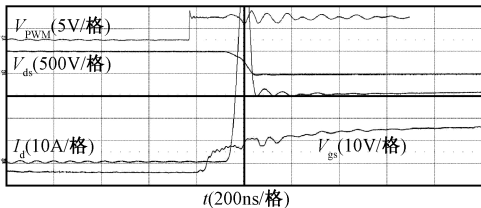


图 12 开通时刻波形细节  
Fig. 12 Turn-on waveforms

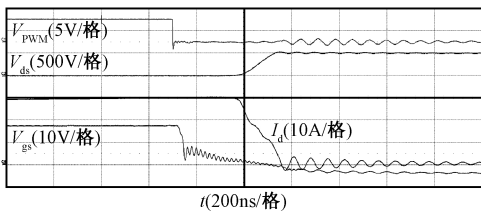


图 13 关断时刻波形细节  
Fig. 13 Turn-off waveforms

从实验波形可以看出,开通时间约为 90ns,关断时间约为 110ns。开关速度不够快的主要原因是驱动电阻不够小,并不是驱动电路的驱动能力不足。被驱动模块的门极内部电阻为  $3\Omega$ ,串联后共计  $8\Omega$  的驱动电阻足以降低开关速度。而关断时间长于开通时间的主要原因是测试时  $I_d$  较小。由图 13 可知,电压上升同时电流下降,故在感性负载的前提下,负载电流在关断期间不能快速地对上下两管的  $C_{gd}$  电容进行充电。图 12 中电流波形在开通时刻的尖峰主要由上管  $C_{gd}$  电容放电所致,发生在  $dv/dt$  期间,属正常现象。随着测试时  $I_d$  的提升,该尖峰对

波形的影响从视觉上而言会越来越弱。

5 结论

本研究初步设计了基于分立器件的 SiC 功率模块门极驱动电路,由分立器件实现的电路拓扑能够方便地应用于高温环境。本研究采用各类分立器件搭建了同时具备隔离能力和驱动能力的电路,之后通过仿真及电路调试证明了电路结构的合理性。并在 500V/30A 的电压电流等级下做双脉冲实验验证。从实验结果中可以发现该驱动电路在电流驱动能力与电压上升下降速度上与商业化驱动芯片相差无几。且相对于商业化驱动电路,本研究所提出的分立器件驱动电路具有更小的信号传递延时。该电路的隔离性能也通过验证,隔离前 PWM 信号仅在开关过程中存在轻微振荡,不会达到误触发的阈值。

本设计能够满足 1200V/300A 电压电流等级的 SiC 功率模块的驱动需求。所选分立器件耐温均达  $150^{\circ}\text{C}$ ,能够方便地应用于高温环境中,突破商业化驱动电路  $85^{\circ}\text{C}$  的限制。三极管作为本研究使用最多的分立器件类型,拥有大量可选的耐温达  $175^{\circ}\text{C}$  甚至更高的单管封装,因此可进一步提高驱动电路在高温环境中的工作稳定性。

参考文献 (References):

[ 1 ] 钱照明, 张军明, 盛况 ( Qian Zhaoming, Zhang Junming, Sheng Kuang ). 电力电子器件及其应用的现状和发展 ( Status and development of power semiconductor devices and its application ) [ J ]. 中国电机工程学报 ( Proceedings of the CSEE ), 2014, 34 ( 39 ): 5149-5161.

[ 2 ] Ji S, Zhang Z, Wang F. Overview of high voltage SiC power semiconductor devices: Development and application [ J ]. CES Transactions on Electrical Machines and Systems, 2017, 1 ( 3 ): 254-264.

[ 3 ] 段卓琳, 范涛, 张栋, 等 ( Duan Zhuolin, Fan Tao, Zhang Dong, et al. ). 全 SiC 三相逆变器传导电磁干扰建模与预测 ( Modeling and prediction of electromagnetic interference in whole SiC three phase inverters ) [ J ]. 电工电能新技术 ( Advanced Technology of Electrical Engineering and Energy ), 2018, 37 ( 1 ): 1-7.

[ 4 ] 黄先进, 孙湖 ( Huang Xianjin, Sun Hu ). 国产高压大功率 IGBT 应用于机车变流器工作特性测试研究 ( Home-made high voltage high power IGBT operation characteristics used in traction converter ) [ J ]. 电工电能新技术 ( Advanced Technology of Electrical Engineer-

- ing and Energy), 2017, 36 (11): 71-78.
- [ 5 ] Wang R, Danilovic M, Boroyevich D, et al. Transformer-isolated gate drive design for SiC JFET phase-leg module [A]. 2011 IEEE Energy Conversion Congress and Exposition [C]. Phoenix, AZ, USA, 2011. 1728-1733.
- [ 6 ] Greenwell R L, McCue B M, Tolbert L M, et al. High-temperature SOI-based gate driver IC for WBG power switches [A]. 2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition [C]. Long Beach, CA, USA, 2013. 1768-1775.
- [ 7 ] 祁锋, 徐隆亚, 王江波, 等 (Qi Feng, Xu Longya, Wang Jiangbo, et al.). 一种为碳化硅 MOSFET 设计的高温驱动电路 (A high temperature gate drive circuit for SiC MOSFET) [J]. 电工技术学报 (Transactions of China Electrotechnical Society), 2015, 30 (23): 24-31.
- [ 8 ] Qi F, Xu L, Zhao B, et al. A high temperature de-saturation protection and under voltage lock out circuit for SiC MOSFET [A]. 2015 IEEE Energy Conversion Congress and Exposition [C]. Montreal, QC, Canada, 2015. 6169-6174.
- [ 9 ] Qi F, Xu L. Development of a high-temperature gate drive and protection circuit using discrete components [J]. IEEE Transactions on Power Electronics, 2017, 32 (4): 2957-2963.
- [10] 铃木雅臣 (Lingmu Yachen). 晶体管电路设计 (Transistor circuit design) [M]. 北京: 科学出版社 (Beijing: Science Press), 2004.
- [11] 钟志远, 秦海鸿, 袁源, 等 (Zhong Zhiyuan, Qin Haihong, Yuan Yuan, et al.). 碳化硅 MOSFET 桥臂电路串扰抑制方法 (Crosstalk suppression method of SiC MOSFET in phase-leg configuration) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2015, 34 (5): 8-12, 23.
- [12] 方化潮, 郑利兵, 方光荣, 等 (Fang Huachao, Zheng Libing, Fang Guangrong, et al.). 一种基于 FPGA 进位延迟链的 IGBT 栅极电压米勒时延的高精度测量方法研究 (Research on high resolution method for measuring Miller plateau time delay of IGBT gate voltage based on carry chain in FPGA) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2015, 34 (11): 75-80.

## Design of gate driver circuit using discrete devices for SiC MOSFET power module

WANG Han-xiang, JIANG Dong

(School of Electrical and Electronic Engineering, Huazhong University of Science and Technology, Wuhan 430074, China)

**Abstract:** SiC MOSFET power modules can help to increase the feasibility of high power density, high temperature converters. At the same time, the demand for reliable gate drivers at high temperature increases. Due to the temperature limit of driver ICs and isolation ICs based on Si technology at 125℃, an isolated gate driver using a pulse transformer in combination with Si-based discrete devices has been proposed to provide the same drive ability, rise time and fall time as the commercial gate driver. The proposed discrete devices isolated gate driver has been verified by Saber. Also, double pulse test on SiC module has been used to do experimental verification. Both simulation and experimental results demonstrate the drive ability of the proposed gate drive on the SiC MOSFET power module.

**Key words:** gate driver circuit; pulse transformer; discrete device; drive ability