

1200V SiC 超结 VDMOS 研究

郭心宇^{1,2}, 白云², 雷天民¹

(1. 西安电子科技大学先进材料与纳米科技学院, 陕西 西安 710071;
2. 中国科学院微电子研究所高频高压器件与集成研发中心, 北京 100029)

摘要: 在高耐压器件中,保持高耐压的同时减少漂移区电阻是提升器件性能的关键,超结理论的提出使器件在相同耐压下具有更小的漂移区电阻。通过利用 Silvaco TCAD 软件对器件结构参数进行了计算优化仿真,得到了击穿电压为 1680V,比导通电阻为 $0.60\text{m}\Omega\cdot\text{cm}^2$ 的超结 VDMOS 器件。

关键词: 功率器件; 超结; VDMOS

DOI: 10.12067/ATEEE1808009 **文章编号:** 1003-3076(2018)10-0027-05 **中图分类号:** TN304.2+4

1 引言

碳化硅(SiC)材料具有宽禁带、高击穿电场、高饱和漂移速度和高热导率等电学性能,在高温、高功率和高频等特殊条件下能够顺利工作^[1],随着半导体 SiC 材料生长与制作工艺突破,SiC 器件也成为目前半导体功率器件的研究热点之一。

垂直双扩散金属-氧化物半导体场效应晶体管(Vertical Double-Diffused Metal-Oxide-Semiconductor,VDMOS)器件自 1979 年由 H. W. Collins 等人提出后,由于其驱动功率小、开关速度快、安全工作区域宽等特点在电力电子器件中得到了迅速发展^[2]。1994 年,J. W. Palmour 提出了首个 SiC 功率金氧半场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor,MOSFET)器件,SiC 材料的优势使 VDMOS 器件可以很好地适用于高功率、高温等领域。其中垂直结构的 MOSFET 特征电阻较低,封装难度小等特点成为 MOSFET 器件的主流器件。在传统 SiC VDMOS 器件中,比导通电阻 R_{on} 与击穿电压 V_{B} 的极限关系为 $R_{\text{on}} \propto 1.32 \times 10^{-11} V_{\text{B}}^{2.43}$,想要获得较高的击穿电压,漂移层就需要较大的厚度和较低的浓度,从而使导通电阻增大。随着 SiC 器件的发展,导通电阻与击穿电压的制约关系开始限制了 SiC 器件在高压领域的应用,因此探索打破这种极限限制的方法有助于进一步提高 SiC 功率器件的性能。

针对“硅限”,1993 年,陈星弼教授提出了“复合缓冲层”(Composite buffer layer)来打破这种制约关系^[3],1997 年,Tatsuhiko 等人正式提出了“超结”(Super Junction,SJ)理论^[4],他将传统 VDMOS 中的 n 型漂移区替换为 P/N 柱交替排列的漂移区,由于 P/N 柱的耗尽作用,使电场在器件体内分布均匀,提高了器件的击穿电压,同时可以增加 N 柱浓度来减小器件的导通电阻,使器件的击穿电压与比导通电阻由原来的平方关系变为线性关系。超结理论自提出以来已经得到了国内外广泛的关注和研究,2008 年,孙军等人利用 ISE 软件模拟了超结的耗尽层与电场分布,并解释了 SJ 的击穿机理^[5];2009 年,陈文高等人利用 2-D 仿真软件 Medici 在原胞部分研究了半超结的深度和浓度对器件的影响^[6];2003 年,Wataru Saito 等人对 Si 半超结 MOSFET 结构进行了实验与仿真,研制了击穿电压为 690V,比导通电阻为 $54\text{m}\Omega\cdot\text{cm}^2$ 的半超结器件^[7]。在 SiC 器件中,由于 SiC 材料外延的困难,使得 SiC 超结器件的厚度达不到 Si 目前的水平,但随着 SiC 材料外延技术的提高,使原本工艺难度较大的 SiC 超结器件成为未来的发展方向,2014 年,Ryoji Kosugi 等人通过多次外延与离子注入技术,得到了超结深度为 $6.4\mu\text{m}$ 的 SiC 肖特基势垒二极管(Schottky Barrier Diode,SBD),击穿电压为 1545V,导通电阻为 $1.06\text{m}\Omega\cdot\text{cm}^{2[8]}$;2017 年,Masuda T 等人通过 Al 离子注入制作了超结 P 柱深度为 $3\mu\text{m}$ 的 V 沟槽的 SiC

收稿日期: 2018-08-06
基金项目: 国家重点研发计划项目(2016YFB0100601)
作者简介: 郭心宇(1994-),男,山西籍,硕士研究生,研究方向为半导体器件;
白云(1978-),女,河北籍,副研究员,博士,研究方向为半导体器件研发(通讯作者)。

MOSFET 器件,器件击穿电压为 820V,比导通电阻为 $0.97\text{m}\Omega\cdot\text{cm}^{2[9]}$ 。

本文提出了一种在高压领域下的 SiC 超结 MOSFET 结构,使其在满足一定的击穿电压情况下,设计了目前 SiC 材料工艺可以达到超结厚度,利用二维器件仿真软件 Silvaco 对 SiC 超结 VDMOS 器件结构进行了仿真模拟,结果表明, SiC 超结 VDMOS 结构比常规结构在击穿电压和器件厚度都有改善。

2 器件结构

传统结构的 VDMOS 器件与超结 VDMOS 的器件结构如图 1 所示。从图 1 中对比可以看出,超结结构是将传统器件的 n 型漂移区变为了由 P/N 柱相互交替排列的结构。

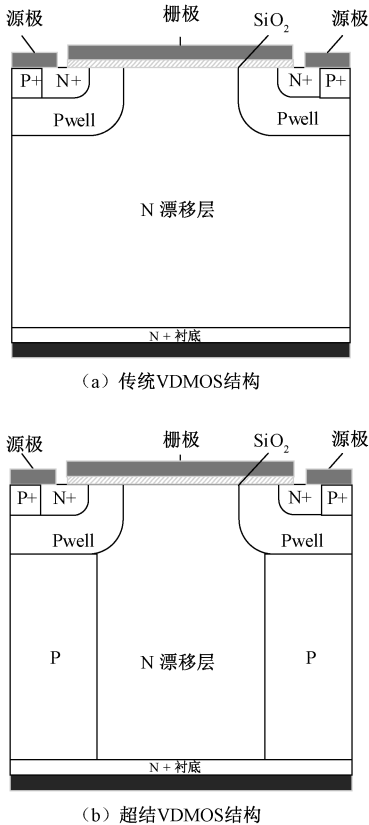


图 1 传统 VDMOS 与超结 VDMOS 结构
Fig.1 Traditional VDMOS structure and super-junction VDMOS structure

传统器件与超结器件电场强度与深度关系如图 2 所示,从图 2 可以看出超结结构加入了横向电场,在器件电压反偏时,除了纵向电场外,横向电场的存在使电场分布更加均匀,从而提高了击穿电压。

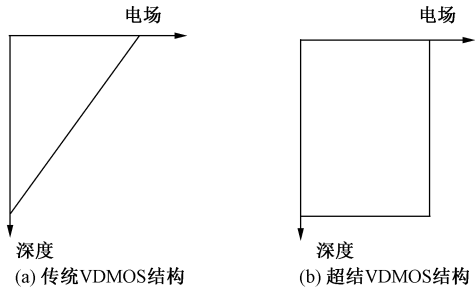


图 2 传统器件和超结器件电场强度与深度关系
Fig.2 Relationship between electric field intensity and depth of traditional devices and super junction devices

3 参数选取

3.1 参数选取

在进行仿真设计之前,先需对器件的几何参数进行确定,在超结 VDMOS 器件中,器件的击穿电场分为纵向击穿电场 E_0 与横向击穿电场 E_1 。当 $E_0 = E_1$ 时,器件会形成较高的击穿电压。

随着器件反向电压的逐渐增加,离子碰撞效应将越来越明显,当碰撞效应达到雪崩击穿条件时,器件被击穿并达到反向电压 V_B ,同时离化率在漂移区纵向方向积分为 1^[10]。

$$\int_0^{L_D} \alpha dx = 1 \tag{1}$$

式中, α 为 4H-SiC 材料的碰撞电离系数; L_D 为器件厚度。通过 Baliga 功率定律公式可以得到碰撞电离系数 α 与电场 E 的关系。

$$\alpha = 3.9 \times 10^{-42} E^7 \tag{2}$$

当考虑纵向电场 E_1 对击穿电压的影响主要受器件厚度 L_D 的影响。

$$V_B = E_1 L_D \tag{3}$$

结合式(1)和式(2),可以得到:

$$E = 8.23 \times 10^5 L_D^{-1/7} \tag{4}$$

将式(4)代入式(3)可以得到:

$$V_B = 8.23 \times 10^5 L_D^{6/7} \tag{5}$$

通过式(5)得到击穿电压与器件漂移区厚度的关系,如图 3 所示。

考虑横向电场 E_0 时,超结器件结构 P 柱与 N 柱交界处电场等于均匀电场分布的击穿电场, N 柱和 P 柱的电荷耗尽关系将表示为:

$$Q_{\text{Optimum}} = qN_D \frac{W_N}{2} = \epsilon_s E_0 = qN_A \frac{W_P}{2} \tag{6}$$

式中, q 为电荷量; ϵ_s 为介电常数; N_D 和 N_A 分别表示 N 柱与 P 柱的掺杂浓度; W_N 和 W_P 分别表示 N 柱

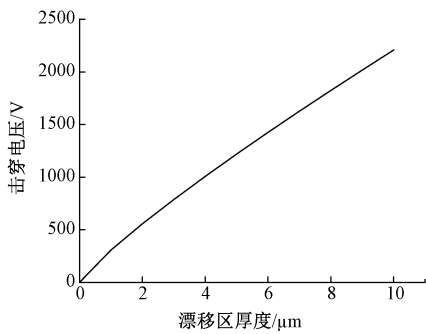


图3 均匀电场情况下的击穿电压

Fig.3 Breakdown voltage under uniform electric field

与 P 柱的宽度。

将式(6)变换后可以得到：

$$N_D W_N = N_A W_P = \frac{2\varepsilon_s E_0}{q} \tag{7}$$

结合式(3)与式(4)可得：

$$E = 7.97 \times 10^6 V_B^{-1/6} \tag{8}$$

将式(7)代入式(8)可以得到器件击穿电压与漂移区 P/N 柱宽度和浓度的关系,如图 4 所示。

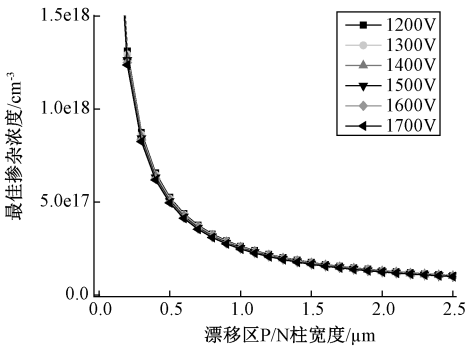


图4 P/N 柱宽度与浓度关系

Fig.4 Relationship between P/N column width and concentration

根据以上优化过程,为了保证击穿电压可以达到 1200V,同时超结器件的厚度能达到目前的工艺要求,各参数数值见表 1。考虑到以上优化条件建立在理想条件,并没有考虑 MOSFET 器件其他区域的影响,所以对超结的器件参数需进行后续优化。

表 1 超结 VDMOS 结构参数

| Tab.1 Structure parameters of superjunction VDMOS | |
|---|------|
| 器件参数 | 数值 |
| P/N 柱浓度/cm ⁻³ | 9e16 |
| P/N 柱宽度/μm | 1.5 |
| P/N 柱厚度/μm | 6 |

3.2 参数选取

本文将采用 Taguchi 方法来当优化标准,定义

优化值 *BFOM*。

$$BFOM = \frac{V_B^2}{R_{on}} \tag{9}$$

式中, V_B 为器件的击穿电压; R_{on} 为器件的比导通电阻;*BFOM* 指数越大,则代表器件的优化参数越好。

4 结果分析与讨论

根据上述优化过程,采用 Silvaco 二维仿真软件对超结 VDMOS 器件进行优化仿真。

4.1 P/N 柱浓度优化

器件的基本结构如图 1(b)所示,采用的初始仿真数据如表 1 所示,P/N 柱的宽度为 1.5μm,漂移区厚度为 6μm,P/N 柱浓度和宽度都保持一致,选取不同浓度对器件进行仿真设计优化。不同 P/N 柱浓度下的超结 VDMOS 器件的击穿电压与比导通电阻关系如图 5 所示。

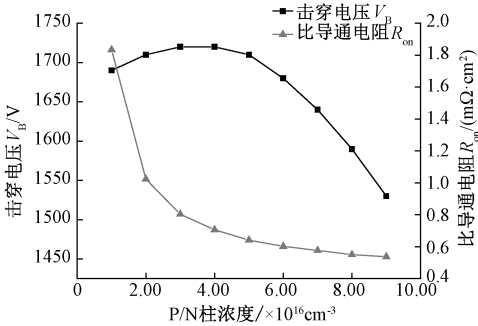


图5 不同 P/N 柱浓度击穿电压与比导通电阻

Fig.5 Breakdown voltage and conduction resistance of different P/N column concentration

由图 5 可知,比导通电阻和击穿电压都随着 P/N 柱浓度的增加而减小,其中在 P/N 柱浓度为 $1 \times 10^{16} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 间,器件的比导通电阻下降明显,而器件的击穿电压下降基本呈线性关系。不同 P/N 浓度下的器件 *BFOM* 值见表 2。

表 2 器件不同 P/N 柱浓度 *BFOM* 值

| Tab.2 <i>BFOM</i> value of different P/N column concentration | | | |
|---|----------------|--|----------------|
| P/N 柱浓度/ $\times 10^{16} \text{ cm}^{-3}$ | 器件 <i>BFOM</i> | P/N 柱浓度/ $\times 10^{16} \text{ cm}^{-3}$ | 器件 <i>BFOM</i> |
| 1 | 1557442 | 6 | 4683393 |
| 2 | 2856012 | 7 | 4663614 |
| 3 | 3681800 | 8 | 4589869 |
| 4 | 4188469 | 9 | 4352409 |
| 5 | 4558080 | | |

由表 2 可知,器件在 P/N 柱浓度为 $6 \times 10^{16} \text{ cm}^{-3}$ 时,器件的 *BFOM* 值可以达到最大值 4683393,

对比图 5 和表 2,选取 P/N 柱浓度为 $6 \times 10^{16} \text{ cm}^{-3}$ 。

4.2 P/N 柱浓度优化

P/N 柱浓度设置为 $6 \times 10^{16} \text{ cm}^{-3}$,宽为 $1.5 \mu\text{m}$,对 P/N 柱厚度进行仿真设计,结果如图 6 所示。

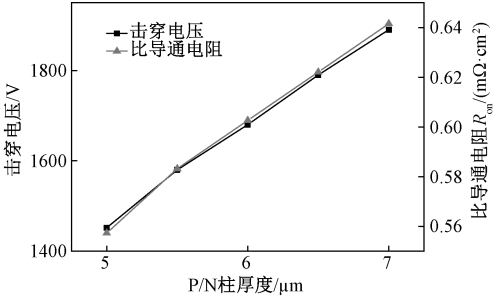


图 6 不同漂移区厚度的击穿电压与比导通电阻
Fig. 6 Breakdown voltage and on resistance of different drift region thickness

由图 6 可知,随着漂移区厚度的不同,击穿电压与比导通电阻都和 P/N 柱的厚度呈线性关系,每 $0.5 \mu\text{m}$ 厚度的变化会引起约 100 V 的击穿电压与 $0.02 \text{ m}\Omega \cdot \text{cm}^2$ 比导通电阻的变化,考虑到设计 1200 V 击穿电压器件,选取 $6 \mu\text{m}$ 作为优化厚度。

4.3 电荷平衡对器件的影响

在超结器件中,P/N 柱的电荷平衡对器件的击穿电压有着极大的影响,在前面的优化中,假设 P/N 柱的浓度和宽度都保持一致,但实际情况中,由于 P 型 SiC 的不完全离化等原因,P/N 柱的浓度并不能完全相同。

图 7 为保持 N 柱浓度不变,将 P 柱浓度按 N 柱浓度的百分比进行变化,浓度比 $\Delta N = N_p/N_d$ 。可以看出当 P 柱浓度等于 N 柱浓度时,器件的击穿电压可以达到最大值,当 P 柱浓度和 N 柱浓度不平衡时,器件的击穿电压下降明显。

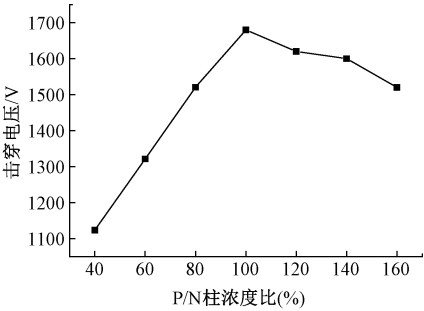


图 7 电荷失配对器件电压的影响
Fig. 7 Effect of charge mismatch on voltage of device

4.4 界面非理想状态对器件影响

在实际的工艺中,P/N 柱的形成一般采用多次

离子注入外延^[8],如图 8 所示。

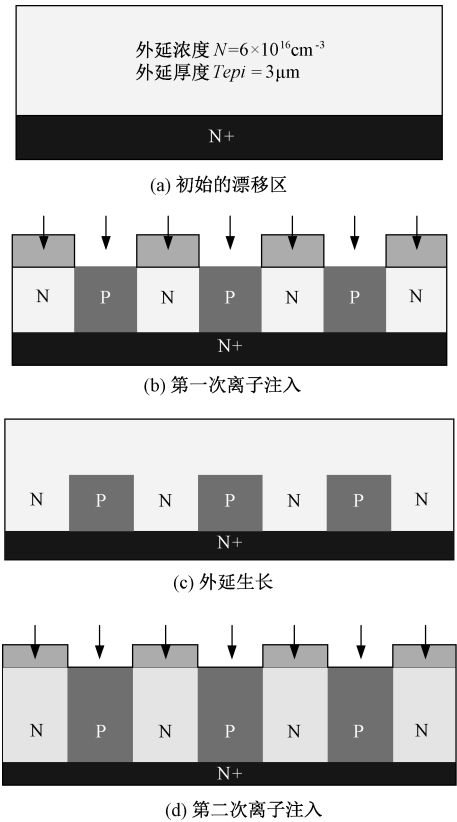


图 8 多次离子注入外延工艺
Fig. 8 Multiple ion implantation epitaxy

在注入与外延过程中,P/N 柱往往不能形成理想的垂直界面,对非理想的界面状态进行 Silvaco 仿真,仿真模型如图 9 所示。

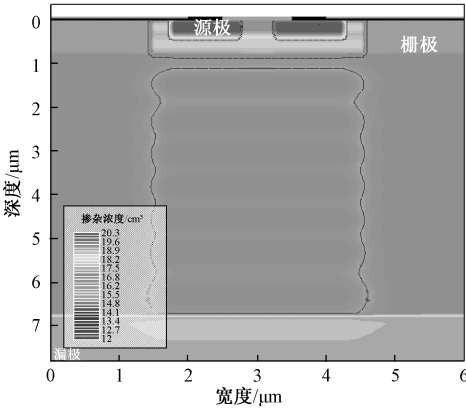


图 9 非理想界面的超结模型
Fig. 9 Super junction model of non ideal interface

对非理想界面的超结模型进行静态仿真,得到击穿电压为 1468 V 的器件耐压曲线如图 10 所示。比导通电阻为 $0.63 \text{ m}\Omega \cdot \text{cm}^2$ 。相比理想界面的超结,非理想界面可能会使 P/N 柱的电荷失衡,造成击穿电压的下降。

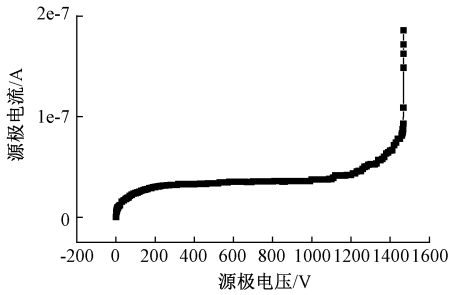


图 10 器件耐压曲线
Fig. 10 Device withstand voltage curve

5 结论

本文对超结理论进行了简要阐述,并给出了超结结构的器件优化过程,采用二维软件对超结器件结构进行了仿真优化,设计了 1200V 超结 VDMOS。理想界面状态下比导通电阻为 $0.60\text{m}\Omega\cdot\text{cm}^2$,击穿电压为 1680V,非理想状态下比导通电阻为 $0.63\text{m}\Omega\cdot\text{cm}^2$,击穿电压为 1468V。击穿电压的下降可能受电荷不平衡的影响。但器件的总厚度只有 $6.8\mu\text{m}$,约为传统器件的 55%。

参考文献 (References):

[1] 赵斌,秦海鸿,马策宇,等 (Zhao Bin, Qin Haihong, Ma Ceyu, et al.). SiC 功率器件的开关特性探究 [J] (Research on switching characteristics of SiC power devices). 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2014, 33 (3): 18-22.
[2] Collins H W, Pelly B. HEXFET, a new power technology,

cuts on-resistance, boosts ratings [J]. Electronic Design, 1979, 27 (12): 36-37.
[3] 陈星弼 (Chen Xingbi). 功率 MOSEFET 与高压集成电路 (Power MOSEFET and high voltage integrated circuits) [M]. 南京: 东南大学出版社 (Nanjing: Southeast University Press), 1990.
[4] Fujihira T. Theory of semiconductor superjunction devices [J]. Japanese Journal of Applied Physics, 1997, 36 (10): 6254-6262.
[5] 孙军,王彩琳,高勇 (Sun Jun, Wang Cailin, Gao Yong). 超结的击穿机理与特性分析 (Breakdown mechanism and characteristic analysis of super junction) [J]. 电子器件 (Chinese Journal of Electron Devices), 2008, 31 (3): 1026-1029.
[6] 陈文高,荆吉利,孙伟锋 (Chen Wengao, Jing Jili, Sun Weifeng). 半超结 VDMOS 的研究 (Study on semi-superjunction VDMOS) [J]. 微电子学 (Microelectronics), 2009, 39 (4): 584-587.
[7] Saito W, Omura I, Aida S, et al. 600V semi-superjunction MOSFET [J]. 電気学会研究会資料. edd, 電子デバイス研究会, 2003: 27-30.
[8] Kosugi R, Sakuma Y, Kojima K, et al. First experimental demonstration of SiC super-junction (SJ) structure by multi-epitaxial growth method [A]. 2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD) [C]. 2014. 346-349.
[9] Masuda T, Kosugi R, Hiyoshi T. $0.97\text{m}\Omega\cdot\text{cm}^2/820\text{V}$ 4H-SiC super junction V-groove trench MOSFET [J]. Materials Science Forum, 2017, 897: 483-488.
[10] Baliga B J. Silicon carbide power devices [M]. Singapore: World Scientific, 2009.

VDMOS super junction 1200V SiC research

GUO Xin-yu^{1,2}, BAI Yun², LEI Tian-min¹

- (1. School of Advanced Materials and Nano Technology, Xidian University, Xi'an 710071, China;
2. High-Frequency High-Voltage Devices and Integrated Circuits R&D Center, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: In high voltage devices, keeping high voltage withstand while reducing drift resistance is the key to improve the device performance. The proposed theory of super junction makes the device have smaller drift resistance under the same voltage withstand. Silvaco TCAD software is used to calculate and optimize the device structure parameters. The super junction VDMOS device with breakdown voltage of 1680V and on-resistance of $0.60\text{m}\Omega\cdot\text{cm}^2$ was obtained.

Key words: power device; super junction; VDMOS