

4H-SiC 沟槽结势垒二极管研制

汤益丹^{1,2}, 董升旭^{1,2}, 杨成樾¹, 郭心宇¹, 白云¹

(1. 中国科学院微电子研究所高频高压器件与集成研发中心, 北京 100029; 2. 中国科学院大学, 北京 100049)

摘要: 优化设计了 1200V 4H-SiC 沟槽结势垒二极管(TJBS)主结处的沟槽结构,将主结范围内间隔刻槽的槽下、槽间进行 P 型注入形成结势垒,纵向增加了结势垒面积,从而在反向时可以有效利用主结承担更多电压,并有利于反向时耗尽区向终端区的扩展。通过 Silvaco 二维仿真软件对主结处的沟槽结构进行优化设计,其优化结构仿真击穿电压高达 1843V。并实际制作了此优化结构 TJBS,结果表明其反向击穿特性优于传统沟槽结构。

关键词: 4H-SiC; 沟槽结势垒二极管; 主结; 耐压特性

DOI: 10. 12067/ATEEE1808011 **文章编号:** 1003-3076(2018)10-0022-05 **中图分类号:** TN304. 2 + 4

1 引言

碳化硅(SiC)材料具有优良的物理和电学特性,以其宽的禁带宽度、高热导率、大饱和漂移速度和高的临界击穿电场等独特优点,成为制作高功率、高频、耐高温和抗辐射器件的理想半导体材料,在军事和民事方面具有广阔的应用前景^[1,2]。以 SiC 材料制备的电力电子器件已成为目前半导体领域的热点器件和前沿研究领域之一。

SiC 肖特基二极管以其低开启电压、高开关速度的特性,广泛应用于新能源逆变器、智能电网、混合动力车/电动车、工业电机、机车牵引等领域。然而,与传统 PN 结二极管相比, SiC 肖特基二极管有着较高的反向漏电流,将影响着器件的反向特性。1985 年, B. J. Baliga 等人提出了结势垒肖特基(Junction Barrier Schottky, JBS)^[3],通过 p⁺-n 结势垒屏蔽效应来降低肖特基二极管的漏电流。SiC JBS 器件是一种改良的肖特基二极管(Schottky Barrier Diodes, SBD)器件,结合了传统 SBD 的低开启电压、高开关速度和 pin 器件高击穿电压、低反向漏电流的优点,能够有效地保证正向导通时,维持以肖特基势垒导通为主的正向特性,并同时在反向阻断时,有效地屏蔽肖特基势垒,使反向电流相对 SBD 器件而言大幅减小,同时能够得到较高的击穿电压。

沟槽结势垒肖特基结构(TJBS)是 JBS 的一种改进结构,通过刻槽后再进行 P 型注入,将形成的结势垒深入器件内部,带有凹槽(Trench)结构的 JBS 的优势在于:Trench 结构的引入在不改变外延层参数的情况下可以更加有效屏蔽肖特基表面电场降低漏电流,可以进一步深入 P⁺注入的位置使得高电场区远离肖特基接触表面;可以加宽 P⁺注入间距(或减小 P⁺注入宽度)以减小通态电阻^[4]。因此,总体来说,对于相同电压等级的肖特基二极管, Trench 结构的存在可以适当降低肖特基势垒、采用更薄的漂移区厚度或者增加漂移区掺杂浓度来优化其正向特性,从而进一步降低肖特基表面电场^[5-7],并有效抑制了肖特基势垒降低效应,排除了隧穿电流对最高阻断电压的限制,在高速、高耐压的 SiC 二极管领域具有很大的优势。

本文设计了一种沟槽结势垒肖特基二极管,通过优化主结处的沟槽结构,在纵向上增加了结势垒面积,使器件在反向时能够有效利用主结承担更多电压,并且有利于反向时耗尽区向终端区的扩展。

2 仿真分析

2.1 器件模型

通常在设计结势垒肖特基二极管器件时,出于工艺误差考虑,保证 PN 结势垒区完全覆盖肖特基

收稿日期: 2018-08-02

基金项目: 国家重点研发计划项目(2016YFB0100601)

作者简介: 汤益丹(1984-),女,湖南籍,助理研究员,博士研究生,研究方向为半导体器件研发;

白云(1978-),女,河北籍,副研究员,博士,研究方向为半导体器件研发(通讯作者)。

电极金属,最外围的PN结要宽于其他位置的PN结,此宽PN结称为主结,作为有源区与终端的过渡区;然而对于沟槽型结势垒肖特基二极管,一般在整个主结区全部挖槽后再P注入形成结势垒,此宽PN结深入器件内部,在施加反向偏压时,拐角处因为PN结曲率半径小更容易形成电场聚集,击穿往往过早地发生在此宽PN结拐角处,而非拐角处的PN结还未充分耗尽,致使器件不能有效利用主结承担高反向电压。通过挖槽后再进行P型注入形成的结势垒可以深入器件内部,在纵向上增加了结势垒面积,可以有效提高电场屏蔽效应。

本文通过 Silvaco 二维仿真软件优化设计不同主结处的沟槽结构,如图 1 所示,图 1(a)为只有有源区引入了沟槽结构,其余分别为沟槽位置变化的主结结构,有源区沟槽的宽度(W)和间距(S)保持一定,为 $W=2\mu\text{m}$, $S=3\mu\text{m}$ 。主结范围内间隔刻槽,槽下、槽间P型注入形成结势垒,如此锯齿形的结势垒在纵向上增加了结势垒面积,在反向时有效利用主结承担更多电压,并且有利于反向时耗尽区向终端区的扩展。

2.2 仿真结果分析

通过 Silvaco 二维仿真软件对图 1 中各结构进行仿真。不同主结结构的沟槽二极管仿真结果如图 2 所示,可以看出传统的不挖槽的主结结构 a 有最低的击穿电压,为 1600V;全部挖槽及部分挖槽结构 b、结构 c 击穿电压基本一致,为 1733V,高于不挖槽结构 a;主结处均匀间隔挖槽结构 d 具有最高的击穿电压,为 1837V。

所述器件在击穿时电场分布情况如图 3 所示,可以看出,对于结构 a,主结部位没有挖槽,终端场限环结构最外侧环没有充分耗尽,主结处击穿发生在拐角处;而对于结构 b,在整个主结区全部挖槽后再P注入形成结势垒,此宽PN结深入器件内部,则在施加反向偏压时拐角处形成电场聚集,主结处击穿发生在拐角处,同样场限环外侧也没有充分耗尽;c 结构在主结位置部分挖槽,槽下电场较为集中;对于结构 d,主结范围内间隔刻槽,槽下、槽间P型注入形成结势垒,整个主结下方电场较为集中,场限环外侧充分耗尽,表现为此结构有最高的击穿电压。

图 4 展示了上述四种不同主结的沟槽二极管在击穿时,器件场限环终端的电场分布情况,可以看出,结构 a 内侧的场限环处电场强度最高,而外侧场限环处电场强度较低,即为外侧场限环没有被充分

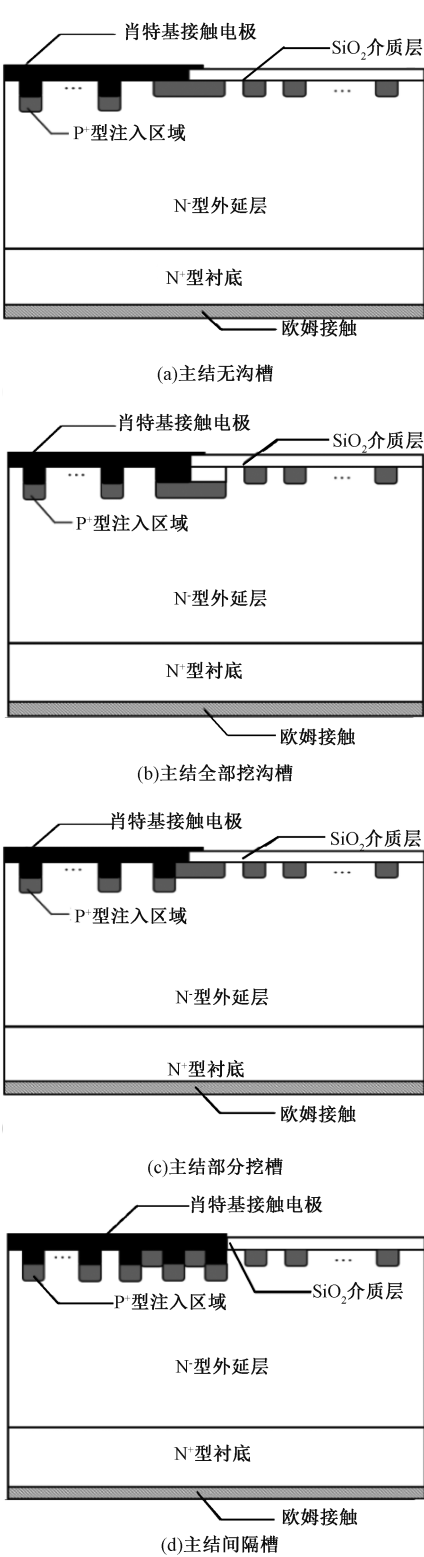


图 1 不同主结沟槽结构的 TJBS 器件结构示意图
Fig. 1 Structure and cross-sectional views of TJBS diodes

利用;结构 c 与结构 a 场限环处电场分布情况类似,可能是因为 c 结构主结靠近场限环部分没有引入沟

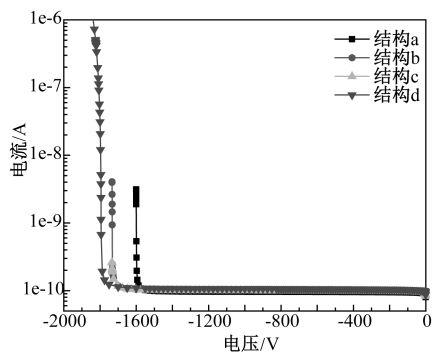


图 2 不同主结结构的 SiC 沟槽二极管仿真结果
Fig.2 Simulation result of different main junction structures of SiC TJBS

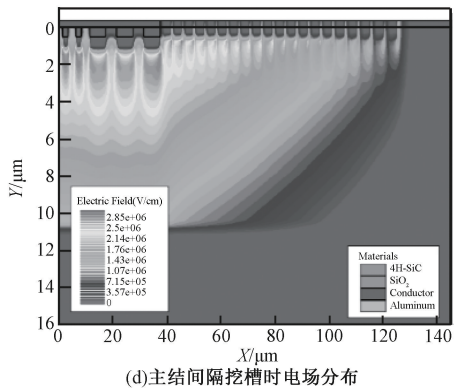
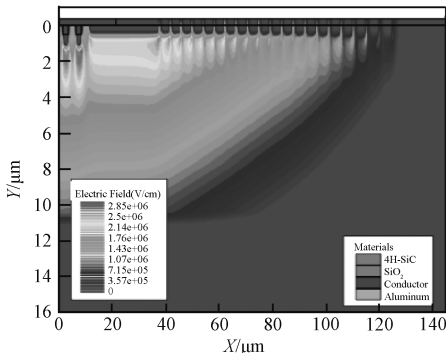
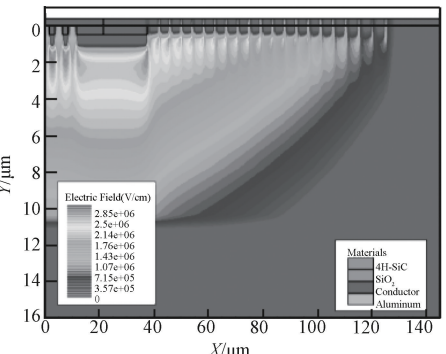


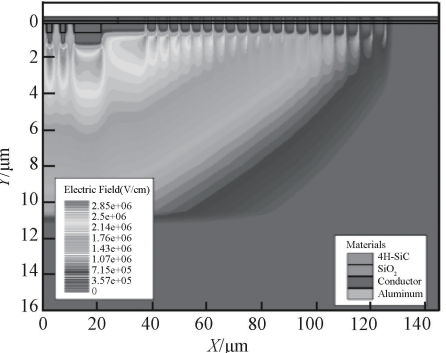
图 3 不同主结沟槽结构的 TJBS 器件电场分布图
Fig.3 Electric field distribution of TJBS diodes



(a)主结无沟槽时电场分布



(b)主结全部挖沟槽时电场分布



(c)主结部分挖沟槽时电场分布

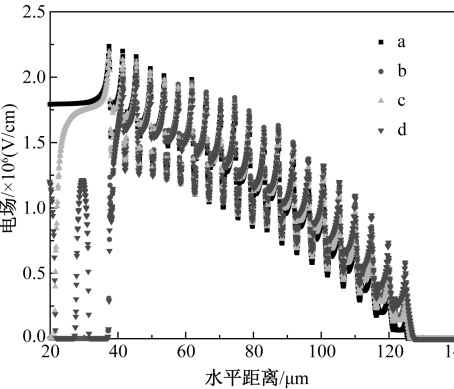


图 4 不同主结结构的沟槽二极管击穿时场限环处电场分布
Fig.4 Electric field distribution at field limiting ring when trench diodes of different main junction structures break down

槽,导致内侧场限环处电场强度较高;结构 b 与 d 主结处沟槽部分较多,使得内侧场限环处电场强度较低,外侧场限环被充分利用。

1200V 反向偏压下,上述器件主结处的电场分布情况如图 5 所示。可以看出,对于结构 a,主结部位无沟槽,主结拐角处电场集中严重,有源区沟槽下方电场集中严重;而对于结构 b 和 c,在主结区引入沟槽,有效降低了有源区沟槽下方的电场强度,主结的拐角处电场集中程度相对于结构 a 大大减小;对于结构 d,主结范围内锯齿形的结势垒在纵向上增加了结势垒面积,在反向时有效利用主结承担电压。由图 4 所示,有利于反向时耗尽区向终端区的扩展,有效利用终端,整个主结范围内电场集中程度最轻。

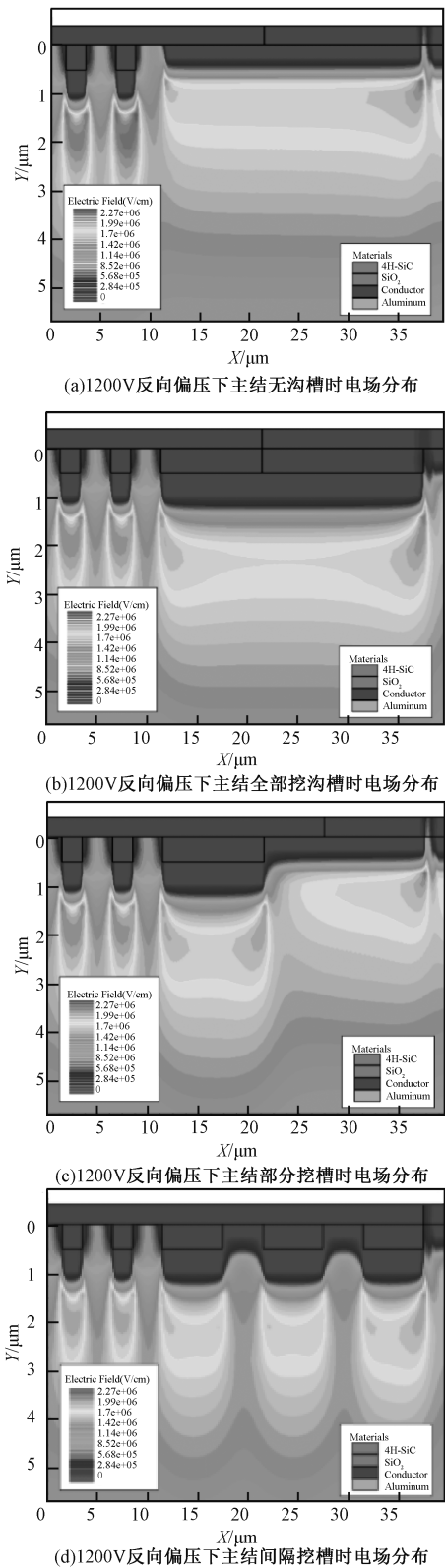


图 5 1200V 反向偏压下,不同主结沟槽结构的 TJBS 器件电场分布图

Fig.5 Electric field distribution of TJBS diodes under 1200V reverse bias

3 实验流程与分析

3.1 制备流程

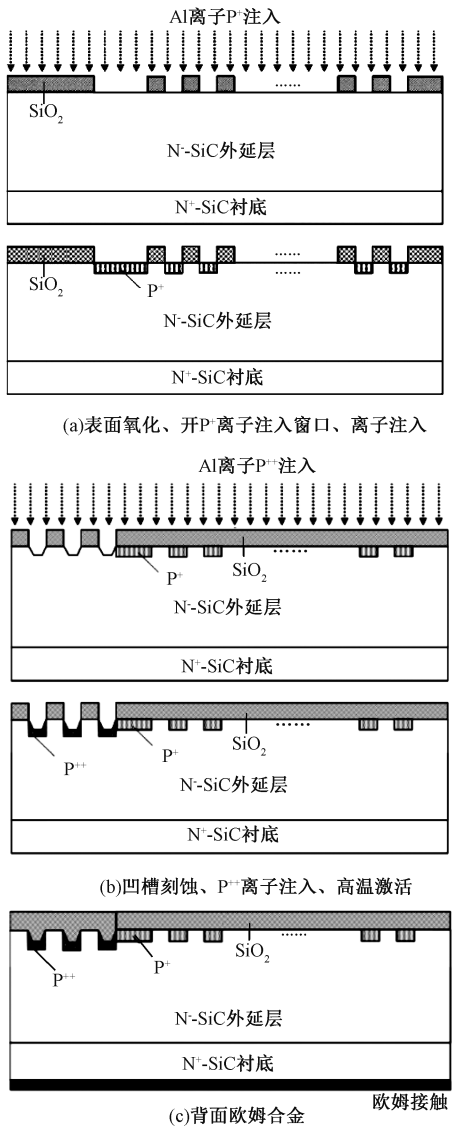
基于前期的仿真优化基础,研发制备了 SiC 沟槽二极管。其主要的制备流程如下:

- (1)表面氧化、开 P⁺ 离子注入窗口、离子注入。
- (2)凹槽刻蚀、P⁺ 离子注入、高温激活。
- (3)背面欧姆合金。
- (4)正面肖特基电极开窗、Ti 淀积、Al 加厚。
- (5)PI 胶钝化。

具体工艺步骤如图 6 所示。

3.2 测试结果

结构 a~d 的示意图如图 7 所示。不同主结结构沟槽二极管反向击穿电压的测试结果如图 8 所示。可以看出结构 d 即主结处均匀间隔挖槽结构具有最高的击穿电压,为 1365V;结构 b 和 c 即主结处部分挖槽或全部挖槽结构的击穿电压则次之,为



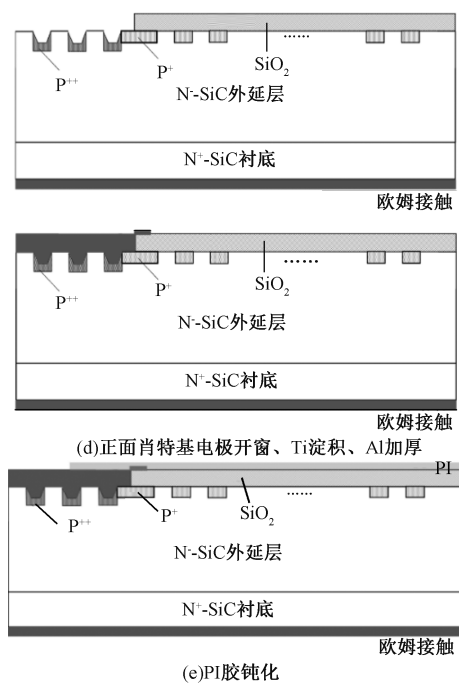


图 6 TJBS 器件的制作过程

Fig.6 Process of manufacturing TJBS device

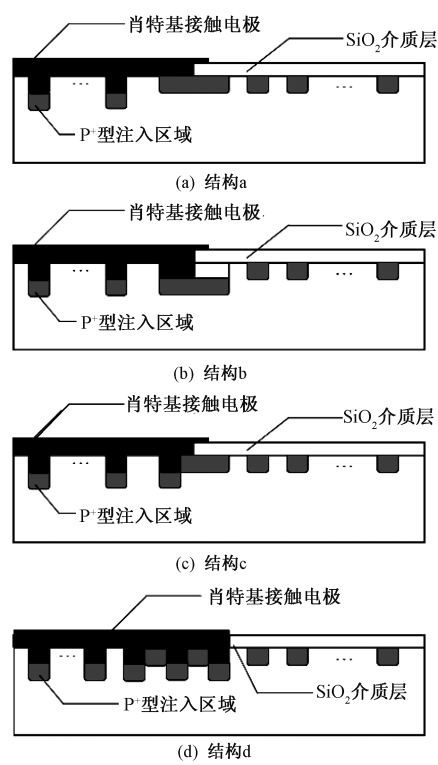


图 7 不同主结结构的 SiC 沟槽二极管

Fig.7 Different main junction structures of SiC TJBS

1338V;结构 a 即主结处无沟槽结构的二极管具有最低的击穿电压,为 1288V。如此,证明了前述仿真

分析中,不同的主结结构通过影响终端场限环在反向偏压时电场的分布影响了器件最终的击穿电压,结构 d 中锯齿形状的主结结构使得场限环充分利用,有着最高的反向耐压能力。

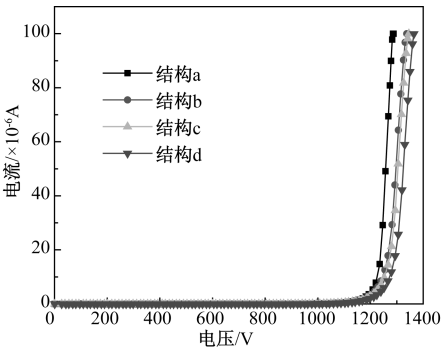


图 8 不同主结结构沟槽二极管反向击穿电压测试结果

Fig.8 Reverse breakdown voltage test results of trench diodes with different main junction structures

4 结论

本文优化设计了 1200V 4H-SiC 沟槽结势垒二极管主结处的沟槽结构:主结范围内间隔刻槽,槽下、槽间 P 型注入形成结势垒。并利用 Silvaco 二维仿真软件对其进行优化设计,仿真分析表明优化设计的主结结构的沟槽结势垒二极管相比于主结范围内无沟槽、全部沟槽及部分沟槽结构,有着最高的反向耐压,进一步的分析表明优化设计的结势垒在纵向上增加了结势垒面积,在反向时有效利用主结承担更多电压,并且有利于反向时耗尽区向终端区的扩展。优化设计的主结结构器件其仿真击穿电压为 1843V,实际制作沟槽结势垒二极管,其击穿电压也高于对比设计的其他沟槽结构器件。

参考文献 (References):

[1] 赵斌, 秦海鸿, 马策宇, 等 (Zhao Bin, Qin Haihong, Ma Ceyu, et al.). SiC 功率器件的开关特性探究 (Research on switching characteristics of SiC power devices) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2014, 33 (3): 18-22.

[2] 段卓琳, 范涛, 张栋, 等 (Duan Zhuolin, Fan Tao, Zhang Dong, et al.). 全 SiC 三相逆变器传导电磁干扰建模与预测 (Modeling and prediction of electromagnetic interference in whole SiC three phase inverters) [J]. 电工电能新技术 (Advanced Technology of Electrical Engineering and Energy), 2018, 37 (1): 1-7.

(下转第 38 页, cont. on p. 38)