

# 基于 1200V 4H-SiC CIMOSFET 结构的优化研究

宋 瑾<sup>1,2</sup>, 白 云<sup>2</sup>, 顾 航<sup>2</sup>, 陈 宏<sup>2</sup>, 谭 犇<sup>2</sup>, 杜丽霞<sup>1</sup>

(1. 兰州交通大学电子与信息工程学院, 甘肃 兰州 730070; 2. 中国科学院微电子研究所  
高频高压器件与集成研发中心, 北京 100029)

**摘要:**提出了一种 1200V 4H-SiC CIMOSFET 优化结构。该结构在 JFET 区引入 P 型注入,以降低栅氧化层电场,提高器件的可靠性;在积累区引入 N 型注入,以降低器件的比导通电阻,提高器件的电流能力。通过 Silvaco 软件进行仿真,对器件各项参数优化,并对器件性能进行简要说明与分析,与传统 1200V 4H-SiC MOSFET 相比,其比导通电阻增加  $0.59\text{m}\Omega\cdot\text{cm}^2$ ,  $V_{\text{DS}}=1200\text{V}$  时,栅氧化层电场强度下降  $1.52\text{MV}/\text{cm}$ 。

**关键词:** 4H-SiC; MOSFET; CIMOSFET; 比导通电阻; 栅氧化层电场

**DOI:** 10.12067/ATEEE1808010      **文章编号:** 1003-3076(2018)10-0017-05      **中图分类号:** TN304.2+4

## 1 引言

随着电力电子系统的蓬勃发展,对功率器件的性能提出了更高的要求,尤其是高温、高频、抗辐照等性能。硅基功率器件经过了五十多年发展,其性能已趋于理论极限,在上述领域应用的局限性日益显著。作为第三代宽禁带半导体材料的典型代表,碳化硅(Silicon Carbide, SiC)材料具有禁带宽度大、临界击穿电场高、电子饱和漂移速度高、热导率高等优势,由 SiC 材料制作的功率器件其性能在高温、强辐照条件下具有良好的稳定性<sup>[1,2]</sup>。4H-SiC 材料因其较高的电子迁移率、较低的各项异性以及较高的电子饱和速度而被广泛应用于功率半导体的制备。

SiC 基功率开关器件主要有金属氧化物场效应晶体管(Metal-Oxide Semiconductor Field Electric Transistor, MOSFET)、结型场效应晶体管(Junction Field Electric Transistor, JFET)、双极结型晶体管(Bipolar Junction Transistor, BJT)、绝缘栅双极型晶体管(Insulated Gate Bipolar Transistor, IGBT)四种, SiC MOSFET 由于其驱动电路简单、开关速度快、功率密度大等优势而成为主流选择<sup>[3,4]</sup>。目前,600V、1200V、1700V SiC MOSFET 已实现商业化,但仍然存在较多问题,如 SiC/SiO<sub>2</sub> 界面态密度较高、反型

层电子迁移率较低、栅氧化层可靠性差等,前两者主要是由于制造工艺不完善造成的,而栅氧化层可靠性可以从设计方面进行一定优化<sup>[5]</sup>。

本文提出一种 4H-SiC CIMOSFET(Central Implant MOSFET)优化结构,通过在 JFET 区引入 P 型掺杂的方法来提高栅氧化层可靠性,同时在积累层引入 N 型掺杂以提高器件的电流能力,使用 Silvaco 软件进行仿真,详细优化了器件各项关键参数,对器件性能进行简要说明与分析,并与传统 MOSFET 进行对比。

## 2 器件设计

为了实现较高的阻断电压,高压功率器件一般采用 VDMOSFET(Vertical Double-implant MOSFET)结构,VDMOSFET 的基本结构如图 1 所示,其基本工作原理是通过改变栅极电压  $V_{\text{G}}$  来控制沟道导电能力<sup>[6,7]</sup>。P 阱(Pwell)在 SiC/SiO<sub>2</sub> 界面处的浓度决定了器件阈值电压  $V_{\text{th}}$  的大小,  $V_{\text{G}}$  过小容易导致器件误开启,  $V_{\text{G}}$  过大则增加损耗。漂移区的浓度与厚度决定了器件的电流能力与反向阻断能力,浓度越高,电流能力越强,反向阻断能力越弱,而且在 JFET 区宽度一定时,过高的漂移区浓度会使得栅氧化层电场强度过高,从而导致栅氧化层失效。目前,1200V

**收稿日期:** 2018-08-06  
**基金项目:** 国家重点研发计划项目(2016YFB0100601)  
**作者简介:** 宋 瑾(1991-),男,甘肃籍,硕士研究生,研究方向为碳化硅功率器件;  
白 云(1978-),女,河北籍,副研究员,博士,研究方向为半导体器件研发(通讯作者)。

4H-SiC MOSFET 采用的漂移区浓度一般为  $6 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-3}$ , 过高的漂移区掺杂浓度会使得栅氧化层电场强度过高, 容易导致器件失效。文献[8]提出一种 CIMOSFET 结构, 即在 JFET 区中引入 P 型掺杂, 则可以有效地降低栅氧化层的电场强度, 其结构如图 2 所示。但是 JFET 区 P 型掺杂的引入势必会造成器件电流能力的削弱, 为此在积累区引入 N 型掺杂, 以削弱 JFET 区 P 型掺杂带来的影响, 其结构如图 3 所示。其中 JFET 区 P 型掺杂的浓度、积累层 N 型掺杂的宽度和浓度、JFET 区的宽度都是关键参数, 通过 Silvaco 软件对上述参数进行了一定优化。

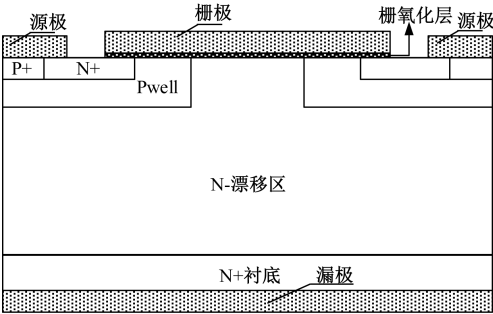


图 1 传统 VDMOSFET 结构  
Fig. 1 Conventional structure of VDMOSFET

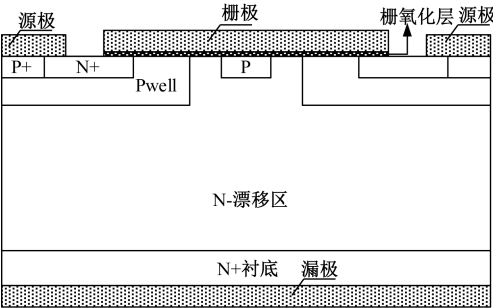


图 2 CIMOSFET 结构  
Fig. 2 Structure of CIMOSFET

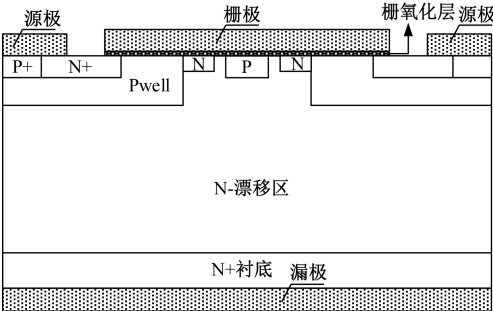


图 3 CIMOSFET 优化结构  
Fig. 3 Structure of optimized CIMOSFET

2.1 JFET 区 P 型掺杂浓度优化

JFET 区 P 型掺杂浓度是器件电流能力和阻断

能力的敏感参数, 掺杂浓度越高, P 型区在低掺杂一侧 N 型 JFET 区的耗尽宽度越大, 对电流的阻断效果加强, 浓度过低则不能对栅氧化层提供有效的保护, 基于上述原因, 对 JFET 区 P 型掺杂浓度进行优化。

为了避免仿真时出现电流夹断现象, 将 JFET 区的宽度设置为  $4 \mu\text{m}$ , JFET 区 P 型注入宽度为  $1 \mu\text{m}$ 。JFET 区的 P 型掺杂以离子注入的方式引入, 并形成高斯分布, 掺杂浓度变化区间为  $5 \times 10^{16} \sim 5 \times 10^{20} \text{ cm}^{-3}$ , 该浓度为高斯分布的峰值浓度。对图 2 所示器件进行输出特性和反向击穿特性仿真, 提取器件的比导通电阻 ( $R_{\text{sp,on}}$ ) 和阻断电压  $V_D$  为  $1200 \text{ V}$  时的栅氧化层中心电场强度, 得到图 4 所示结果。可以看出, 当 JFET 区 P 型掺杂的浓度大于  $5 \times 10^{18} \text{ cm}^{-3}$  时, 栅氧化层中心电场强度下降幅度较小, 而  $R_{\text{sp,on}}$  在整个浓度区间内的变化幅度都很小, 因此 JFET 区 P 型掺杂浓度选择  $5 \times 10^{18} \text{ cm}^{-3}$  较为合适。

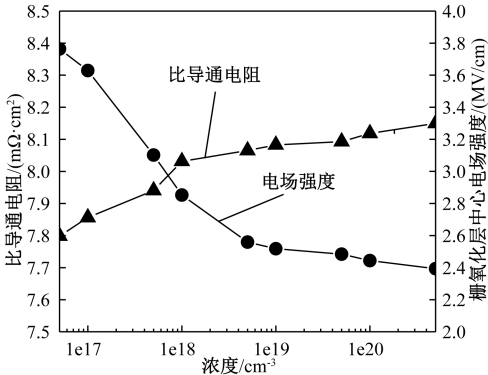


图 4  $R_{\text{sp,on}}$  与栅氧化层电场强度随 JFET 区 P 区浓度的变化  
Fig. 4 Variation of  $R_{\text{sp,on}}$  and gate oxide field with concentration of P region in JFET region

2.2 积累层 N 型掺杂浓度、宽度优化

对于传统  $1200 \text{ V}$  4H-SiC VDMOSFET 结构而言, 虽然积累层的比导通电阻占整个器件比导通电阻的比率并不高, 但是通过在积累层引入适当浓度、宽度的 N 型掺杂可以有效提高 JFET 区较窄时器件的电流能力, 原因是在积累层引入的 N 型掺杂会减小 Pwell 和 JFET 区引入的 P 型区在 JFET 区上的耗尽区宽度, 使得器件导通初始状态时, 电流在 JFET 区有一个较宽的流通过径, 从而使得器件的电流能力有效提升。但是当积累层引入的 N 型掺杂浓度过高、宽度过大会使得栅氧化层电场强度升高, 因此需要对该 N 型掺杂的浓度与宽度进行优化。

仿真采用 2.1 中相关参数,积累区的 N 型掺杂以离子注入的方式引入,注入宽度为  $0.5\mu\text{m}$ ,并形成高斯分布,其峰值浓度的变化区间为  $3\text{e}16 \sim 5\text{e}17\text{cm}^{-3}$ 。对图 3 所示器件进行输出特性和反向击穿特性仿真,提取器件的  $R_{\text{sp,on}}$  和阻断电压为 1200V 时的栅氧化层中心电场强度,得到图 5 所示结果。从图 5 中可以看到,当积累层的 N 型掺杂浓度达到  $1\text{e}17\text{cm}^{-3}$  时,栅氧化层中心的电场强度有明显增加的趋势,而  $R_{\text{sp,on}}$  随着该浓度的变化趋于线性变化,因此选择浓度  $1\text{e}17\text{cm}^{-3}$  较为合适。利用该优化浓度和上述相关参数,并将积累层 N 型注入的宽度设为变量,变化区间为  $0.2 \sim 1.5\mu\text{m}$ ,对图 3 所示结构进行输出特性和反向击穿特性仿真,提取器件  $R_{\text{sp,on}}$  和阻断电压 1200V 时的栅氧化层中心电场强度,得到图 6 所示结果。在图 6 中,当积累层 N 型掺杂的宽度大于  $0.5\mu\text{m}$  时,栅氧化层电场强度曲线的斜率有变大的趋势;当宽度大于  $0.8\mu\text{m}$  时,该曲线斜率再次变大,而  $R_{\text{sp,on}}$  在该区间内变化较小,综合考虑,取积累层 N 型注入的宽度为  $0.5\mu\text{m}$  较为合适。

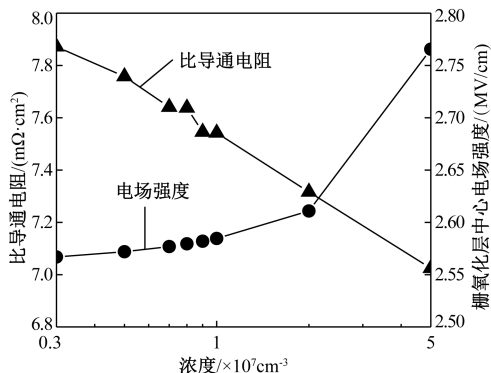


图 5  $R_{\text{sp,on}}$  与栅氧化层电场强度随积累层 N 区浓度的变化

Fig. 5 Variation of  $R_{\text{sp,on}}$  and gate oxide field with concentration of N region in accumulate layer

### 2.3 JFET 区宽度优化

对于功率 VDMOSFET 而言,JFET 区的宽度是最为重要的参数,JFET 区宽度过小,两个 Pwell 的耗尽区容易相接,导致器件夹断;JFET 区宽度过大,则容易导致器件的栅氧化层电场过高,使得器件失效。一般而言,VDMOSFET 的栅氧化层电场需要控制在  $3\text{MV/cm}$  左右。

仿真采用 2.1 中相关参数以及上述优化结果,JFET 区的宽度变化区间为  $3 \sim 4.8\mu\text{m}$ ,对图 3 所示器件结构进行输出特性和反向击穿特性的仿真,提取器件的  $R_{\text{sp,on}}$  和阻断电压 1200V 时的栅氧化层中

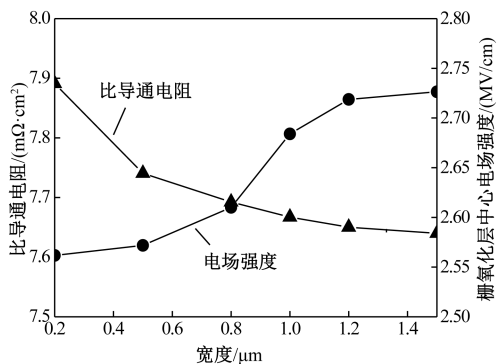


图 6  $R_{\text{sp,on}}$  与栅氧化层电场强度随积累层 N 区宽度的变化

Fig. 6 Variation of  $R_{\text{sp,on}}$  and gate oxide field with width of N region in accumulate layer

心电场强度,得到图 7 所示结果。可以明显看到,图 7 中栅氧化层中心电场强度变化趋势类似线性变化且变化幅度较大,而  $R_{\text{sp,on}}$  在 JFET 区宽度为  $3 \sim 3.2\mu\text{m}$  之间有一个较大幅度的下降,JFET 区宽度大于  $3.2\mu\text{m}$  以后  $R_{\text{sp,on}}$  缓慢下降,综合考虑,JFET 区宽度为  $3.2\mu\text{m}$  是比较理想的。

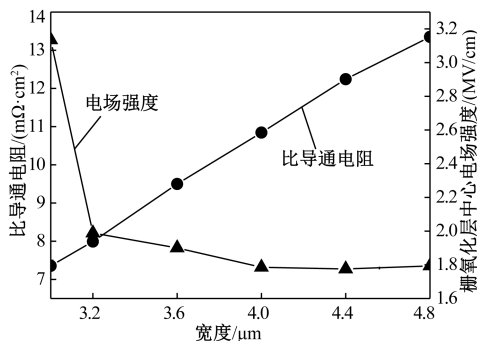


图 7  $R_{\text{sp,on}}$  与栅氧化层电场强度随 JFET 区宽度的变化

Fig. 7 Variation of  $R_{\text{sp,on}}$  and gate oxide field with width of JFET region

### 3 器件性能

至此,器件相关的敏感参数均已优化完成,采用上述优化后的参数,对图 1 ~ 图 3 所示结构进行输出特性和阻断特性的仿真,得到图 8 ~ 图 10 所示结果。在  $150^\circ\text{C}$  下对图 3 所示结构进行输出特性仿真,得到图 11 所示结果。

由图 8 得到  $V_{\text{c}} = 20\text{V}$  时结构 1、结构 2、结构 3 的  $R_{\text{sp,on}}$  分别为  $7.59\text{m}\Omega \cdot \text{cm}^2$ 、 $10.89\text{m}\Omega \cdot \text{cm}^2$ 、 $8.18\text{m}\Omega \cdot \text{cm}^2$ ,从图 8 中可以明显看到结构 3 与结构 1 的  $R_{\text{sp,on}}$  差别不大,但是结构 3 的饱和电流将低于结构 1,这将有效提高器件的短路能力,原因是当器

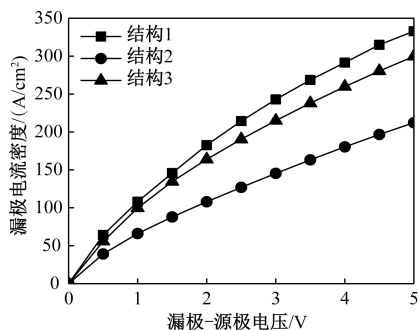


图8 输出特性曲线

Fig.8 Output characteristic curve

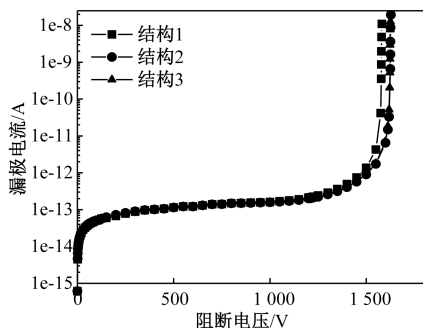


图9 击穿特性曲线

Fig.9 Breakdown characteristic curve

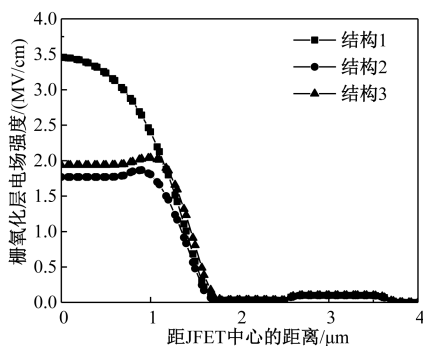


图10 栅氧化层电场分布

Fig.10 Distribution of gate oxide field

件处于短路状态时,较小的饱和电流使得器件的发热量较低,从而获得较大的短路耐量。由图9得到结构1、结构2、结构3的击穿电压分别为1581V、1627V、1625V。由图10得到 $V_D = 1200V$ 时结构1、结构2、结构3的栅氧化层电场强度峰值分别为3.46MV/cm、1.77MV/cm、1.94MV/cm。结构3相比于结构1,在略微增加 $R_{sp,on}$ 的情况下有效降低了栅氧化层的电场强度;相比于结构2,在略微增加栅氧化层电场强度的情况下有效降低了 $R_{sp,on}$ 。

由图11得到150℃下 $V_G = 20V$ 时结构3的

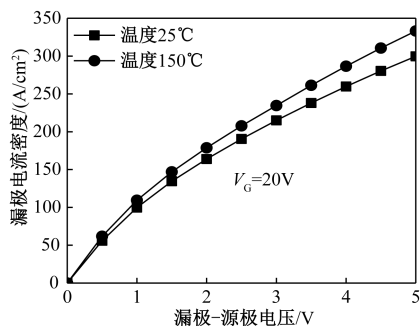


图11 150℃与25℃下结构3输出特性曲线

Fig.11 Output characteristic curve of structure 3 at 150℃ and 25℃

$R_{sp,on}$ 为 $7.46 \text{ m}\Omega \cdot \text{cm}^2$ ,对比25℃时结构3的 $R_{sp,on}$ 减小了 $0.72 \text{ m}\Omega \cdot \text{cm}^2$ 。对于1200V 4H-SiC MOSFET而言,其 $R_{sp,on}$ 主要由沟道特征电阻、JFET区特征电阻以及漂移区特征电阻构成,而且对于漂移区浓度为 $1e16 \text{ cm}^{-3}$ 的器件而言,其沟道特征电阻占据主导地位。沟道特征电阻主要由沟道载流子迁移率决定,目前,主流观点认为影响沟道载流子迁移率的散射机制主要有声子散射、晶格散射、表面粗糙散射和库伦散射四种。沟道载流子迁移率的表达式如下:

$$\mu_{inv}^{-1} = \mu_{AC}^{-1} + \mu_B^{-1} + \mu_{SR}^{-1} + \mu_C^{-1} \quad (1)$$

式中, $\mu_{AC}$ 为声子散射影响的载流子迁移率; $\mu_B$ 为晶格散射影响的载流子迁移率; $\mu_{SR}$ 为表面粗糙散射影响的载流子迁移率; $\mu_C$ 为库伦散射影响的载流子迁移率。

库伦散射主要针对界面陷阱电荷以及界面电荷而言,其影响的载流子迁移率 $\mu_C$ 表达式如下<sup>[9]</sup>:

$$\mu_C = N \frac{1}{Q_{trap}} T^\alpha Q_{inv}^\beta \quad (2)$$

式中, $N$ 为比例系数; $Q_{trap}$ 为单位面积的界面陷阱电荷; $T$ 为温度; $Q_{inv}$ 为单位面积的界面电荷; $\alpha, \beta$ 为经验常数。而在高温条件下界面库伦散射是影响沟道载流子迁移率的主要机制<sup>[10]</sup>。从式(2)可知 $\mu_C$ 与温度成正相关性,因此当温度升高后( $< 150^\circ\text{C}$ ),沟道迁移率上升,从而减小了沟道特征电阻。另一方面,由于温度上升,漂移区载流子迁移率退化,导致漂移区和JFET区特征电阻增加。对于结构3而言,当温度升高后,沟道特征电阻的减少量与漂移区和JFET区特征电阻的增加量恰好近似,所以其 $R_{sp,on}$ 变化并不是很明显,进而导致图11所示结果。

## 4 结论

本文提出了一种1200V 4H-SiC CIMOSFET优



化结构,即在传统 VDMOSFET 的 JFET 区中引入 P 型掺杂,以提高栅氧化层可靠性,在积累区引入 N 型掺杂,以提高器件的电流能力。通过 Silvaco 软件对该结构的相关敏感参数进行了较为详细的优化,器件的击穿电压达到 1625V。对比传统结构, $R_{sp,on}$  增加了 7.8%,阻断电压为 1200V 时,栅氧化层电场强度下降了 43.9%,该结构在略微增加  $R_{sp,on}$  的同时有效提高了栅氧化层的可靠性。

参考文献 (References):

[ 1 ] Yoder M N. Wide bandgap semiconductor materials and devices [ J ]. IEEE Transactions on Electron device, 1996, 43 ( 10 ): 1633-1636.

[ 2 ] Elasser A, Chow T P. Silicon carbide benefits and advantages for power electronics circuits and systems [ J ]. Proceedings of the IEEE, 2002, 90 ( 6 ): 969-986.

[ 3 ] Dimitrijevic S, Jamet P. Advances in SiC power MOSFET technology [ J ]. Microelectronics Reliability, 2003, 43 ( 2 ): 225-233.

[ 4 ] Wu J. Design and fabrication of 4H silicon carbide MOSFETs [ D ]. New Jersey: The State University of New

Jersey, 2009.

[ 5 ] Afanasev V V, Bassler M, Pensl G, et al. Intrinsic SiC/SiO<sub>2</sub> interface states [ J ]. Physica Status Solidi A, 1997, 162 ( 1 ): 321-337.

[ 6 ] Ryu S H, Krishnaswami S, Richmond J, et al. 10-kV 123mΩ·cm<sup>2</sup> 4H-SiC power DMOSFETs [ J ]. IEEE Electron Device Letters. 2004, 25 ( 8 ): 47-48.

[ 7 ] Ryu S H, Krishnaswami S, Hull B, et al. 10 kV, 5A 4H-SiC power DMOSFET [ A ]. 2006 ISPSD [ C ]. 2006. 1-4.

[ 8 ] Zhang Q C, Duc J, Hull B, et al. CIMOSFET: A new MOSFET on SiC with a superior  $R_{on} \cdot Q_{gd}$  figure of merit [ A ]. Materials Science Forum [ C ]. 2015. 765-768.

[ 9 ] Pe'rez-Toma's A, Godignon P, Mestres N, et al. A field-effect electron mobility model for SiC MOSFETs including high density of traps at the interface [ J ]. Microelectronic Engineering, 2006, 83: 440-445.

[ 10 ] Kutsuki K, Kawaji S, Watanabe Y, et al. Impact of optical phonon scattering on inversion channel mobility in 4H-SiC trench MOSFETs [ J ]. Japanese Journal of Physics, 2017, 56 ( 4S ): 04CR03.

Optimization research based on structure of 1200V 4H-SiC CIMOSFET

SONG Guan<sup>1,2</sup>, BAI Yun<sup>2</sup>, GU Hang<sup>2</sup>, CHEN Hong<sup>2</sup>, TAN Ben<sup>2</sup>, DU Li-xia<sup>1</sup>

- (1. School of Electronic and Information Engineering, Lanzhou Jiaotong University, Lanzhou 730070, China;  
2. High-Frequency High-Voltage Devices and Integrated Circuits R&D Center, Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** An optimized structure of 1200V 4H-SiC CIMOSFET is proposed. In this structure, a p-type implant is introduced in the middle of the JFET region for reducing the gate oxide field and enhancing the reliability of the device; an n-type implant is introduced in the accumulate region for reducing the  $R_{sp,on}$  and strengthening the current capability of the device. The parameters are optimized by simulation with Silvaco, and the performance of device is briefly described and analyzed. Compared with the traditional 1200V 4H-SiC MOSFET, the  $R_{sp,on}$  increases by 0.59mΩ·cm<sup>2</sup> while the gate oxide field decreases by 1.52MV/cm with  $V_{DS} = 1200V$ .

**Key words:** 4H-SiC; MOSFET; CIMOSFET; specific on-resistance; gate oxide field